

Bachelorarbeit

**HIGHSPEED GERECHTES DESIGN EINER
LEITERPLATTE FÜR EINE BAUGRUPPE MIT
EMBEDDED PC BOARD**

ausgeführt am



FACHHOCHSCHULE DER WIRTSCHAFT

Fachhochschul-Bachelorstudiengang
Automatisierungstechnik

von

Ulrich Schratte

1010321032

betreut von

Dipl.-Ing. Dr. techn. Manfred Pauritsch

Graz, im März 2013

.....

Unterschrift

EHRENWÖRTLICHE ERKLÄRUNG

Ich erkläre ehrenwörtlich, dass ich die vorliegende Arbeit selbstständig und ohne fremde Hilfe verfasst, andere als die angegebenen Quellen nicht benützt und die benutzten Quellen wörtlich zitiert sowie inhaltlich entnommene Stellen als solche kenntlich gemacht habe.

.....

Unterschrift

GLEICHHEITSGRUNDSATZ

Um den Lesefluss nicht durch eine ständige Nennung beider Geschlechter zu stören, wird in dieser Arbeit ausschließlich die männliche Form verwendet. Dies impliziert aber immer auch die weibliche Form.

DANKSAGUNG

Ich möchte mich recht herzlich bei meinem Betreuer Dipl.-Ing. Dr. techn. Manfred Pauritsch bedanken, der mir mit Rat und Tat beiseite stand. Ich bedanke mich bei Günther Nebel von der Firma Anton Paar, der mir die Möglichkeit zum Bearbeiten dieses Themas gegeben hat. Zu guter Letzt möchte ich mich bei meiner Familie und ganz besonders bei Sandra bedanken, die mich moralisch unterstützte und mir den Rücken gestärkt hat.

KURZFASSUNG

In heutigen Elektronikentwicklungen gewinnen Signalintegrität und elektromagnetische Verträglichkeit in Form von geringer Störabstrahlung aufgrund hoher Datenraten mit damit verbundenen steilen Signalfanken zunehmend an Bedeutung.

Dieser Arbeit liegt die Aufgabenstellung zugrunde, eine Leiterplatte zu einer Baugruppe mit Embedded - PC - Board zu designen. Dazu muss einerseits für eine bei hohen Frequenzen stabile Stromversorgung und andererseits für schnelle Digitalsignale geeignete Übertragungsleitungen gesorgt werden.

Dazu wird in dieser Arbeit sowohl die korrekte Bauteilplatzierung von Schaltwandlern behandelt, um niedrige Abstrahlwerte zu erreichen, als auch die Simulation von mehrlagigen Stromversorgungssystemen um dessen Eigenschaften abschätzen zu können.

Des Weiteren werden die Realisierung von impedanzdefinierten Leitungen und Störungen auf diesen durch Übersprechen betrachtet. Durch die richtige Auswahl des Lagenaufbaus und des korrekten Designs der Kupferstrukturen konnte das Leiterplattendesign fertiggestellt werden.

ABSTRACT

The importance of electromagnetic compatibility and Signal – Integrity in electronic developments increases because of high data rates and fast signal edges of digital signals.

The scope of this text is the design of a Printed Circuit Board with an Embedded PC as critical part. This requires a stable power distribution system at high frequencies and transmission lines appropriate for high data rates.

For this reason the correct placement of switching voltage converters, for purpose of reducing radiofrequency radiation, is discussed and the properties of multilayers are determined by simulation.

Furthermore the realization of impedance defined transmission lines and data corruption caused by crosstalk is a topic. The Layout has been completed with a correct Layerstack and the properly designed copper structures.

INHALTSVERZEICHNIS

1. Einleitung / Ausgangssituation	1
2. Lösungsansatz	3
3. Stromversorgung auf der Leiterplatte	4
3.1. Entkopplung	4
3.2. Entkopplung digitaler ICs.....	5
3.3. Entkopplung von Schaltwandlern.....	6
3.3.1. Entstehung von steilen Stromflanken in Abwärtsschaltwandlern	6
3.3.2. Praktische Layout - Ausführung eines Abwärtsschaltwandlers	8
3.3.3. Umsetzung im Layout.....	10
3.4. Entkopplung auf Multilayern.....	11
3.4.1. Eigenschaften der Stromversorgungslagen.....	11
3.4.2. Möglichkeit zur Simulation des Versorgungssystems mit SPICE.....	13
3.4.2.1. Untersuchung des Einflusses der Substratdicke auf die Leiterplattenimpedanz.....	13
3.4.2.2. Untersuchung des Einflusses der Position auf die Leiterplattenimpedanz.....	14
4. Signalübertragung auf der Leiterplatte	16
4.1. Eingesetzte Arten von Übertragungsleitungen auf Leiterplatten	16
4.2. Ermittlung des Wellenwiderstandes	17
4.3. Einflussfaktoren auf den Wellenwiderstand	17
4.4. Übersprechen.....	19
4.4.1. Simulation von Forward - und Backward - Crosstalk.....	21
4.4.2. Auswirkung des Leiterabstandes auf die Amplitude des Übersprechens.....	23
4.4.3. Auswirkung der Länge der parallel geführten Leitungen auf die Einkopplung.....	24
4.4.4. Tolerierbare Störamplitude durch Übersprechen.....	25
4.4.5. Worst Case.....	26
5. Ergebnisse und Ausblick	29
Literaturverzeichnis	30
Abbildungsverzeichnis.....	31

1. EINLEITUNG / AUSGANGSSITUATION

Die Einhaltung der Grenzwerte zur elektromagnetischen Verträglichkeit (EMV) ist als Teil des CE - Kennzeichens gesetzliche Voraussetzung um Produkte in der EU in Umlauf zu bringen. Die Quelle der Störungen sind neben elektromechanischen Elementen wie Motoren und Relais, elektronische Bauteile die diskret aufgebaut oder als integrierte Schaltkreise zur Realisierung der Schaltung dienen. Der Leiterplatte als Träger dieser Bauteile kommt eine besondere Bedeutung hinsichtlich EMV zu. Sie ist das erste leicht zu gestaltete Element im physikalischen Aufbau eines Produktes, das einen erheblichen Einfluss auf die Störabstrahlung nehmen kann. Vor allem scheinen Maßnahmen, die auf der Leiterplatte ansetzen, preisgünstig realisierbar zu sein.

Das Unternehmen Anton Paar GmbH stellt Messgeräte für verschiedenste Einsatzzwecke her. In Produkten für Prozessmesstechnik in rauen Umgebungsbedingungen werden schon allein wegen der mechanischen Anforderungen meistens metallische Gehäuse vorgesehen. Die ideale Schirmwirkung solcher Gehäuse wird wenn überhaupt nur durch Kabeldurchführung oder Bedienelemente unterbrochen.

Bei anderen Anwendungsfällen für Messtechnik ergeben sich aber sehr unterschiedliche Anforderungen. Bei der Entwicklung eines Handmessgerätes hat ein metallisches Gehäuse einige Nachteile. Dazu zählen hohes Gewicht, eingeschränkte Formfreiheit und ein damit verbundener hoher Aufwand für die Bearbeitung und ein insgesamt höherer Preis. Die Verwendung eines Kunststoffgehäuses erfordert durch die geringere Schirmwirkung ein entsprechend gut durchdachtes EMV - Design, das keine ungenutzten Potenziale, wie sie etwa bei der falschen Gestaltung einer Leiterplatte entstehen, erlaubt.

Moderne Messinstrumente setzen auf einen hohen Anteil der digitalen Schaltungstechnik, die gegenüber Analogtechnik unter anderem den Kalibrieraufwand und die Bauteilkosten stark reduziert und gleichzeitig die Flexibilität erhöht. Durch die Möglichkeit immer breitbandigere Signale direkt zu digitalisieren entsteht der Bedarf an schneller Logik mit hoher Taktrate und kurzen Signalfanken. Die Behandlung breiter Datenbusse oder schneller serieller differentieller Übertragungswege erfordert die Beachtung von möglichen Auswirkungen der Leitungsführung und des Lagenaufbaues auf die korrekte Funktion und auf die EM - Abstrahlung.

Diese Arbeit beschäftigt sich mit den Überlegungen zum Design einer neuen Leiterplatte. Kritisches Bauteil auf dieser Leiterplatte ist ein Embedded - PC. Ein Displaybus der durch die mechanischen Gegebenheiten sternförmig vom Embedded - PC zu zwei gegenüberliegenden Seiten der Leiterplatte geführt werden muss stellt eine besondere Herausforderung dar. Das Hauptaugenmerk liegt in einem EMV - gerechten Lagenaufbau mit optimaler Anordnung der Stromversorgungslagen und der korrekten Leiterführung der kritischen High - Speed Signalleitungen.

Abbildung 1 stellt einen Überblick über die in dieser Arbeit behandelten Themen in Form eines grafischen Projektrahmens dar.

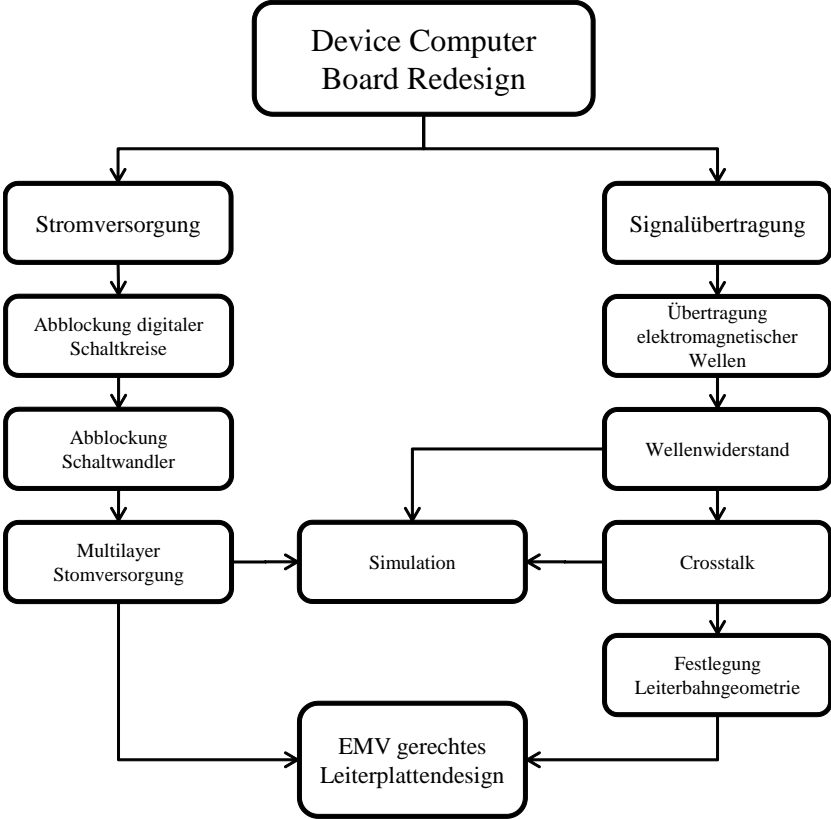


Abbildung 1: Grafischer Projektrahmen, Quelle: Eigene Darstellung

2. LÖSUNGSANSATZ

Das Layout einer Flachbaugruppe bietet dem Designer eine Vielzahl an Freiheitsgraden. Die vom Layerer beeinflussbaren Elemente sollen gefunden und überdacht werden, damit die Störabstrahlung auf einen nach heutigem Stand der Technik niedrigen Wert begrenzt werden kann.

Das beginnt beim Lagenaufbau der, wie in Abbildung 2 beispielhaft dargestellt, durch Kombination verschiedener erhältlicher Kern - und Prepregmaterialien aufgebaut werden kann. Der Unterschied besteht im Material mit entsprechenden Kennwerten wie Permittivität, Durchschlagsfestigkeit, Glasübergangstemperatur, Ausdehnungskoeffizient, der Materialdicke, der Kupferkaschierung und vielem mehr.

Als nächstes muss über die Anzahl der Lagen und wie diese verwendet werden sollen entschieden werden. Durch eine durchdachte Auswahl können die Schirmwirkung von GND - Lagen und/oder die Kapazität benachbarter vollflächiger Versorgungsspannungslagen genutzt werden.

Die richtige Platzierung der Bauteile ist Voraussetzung um Signalleitungen EMV - gerecht routen zu können.

All diese Punkte benötigen ein Verständnis darüber, wie sich deren Implementierung auf die Störabstrahlung auswirkt. Vor allem der Ausführung der Stromversorgungslagen und der Signalleitungsführung soll besondere Beachtung geschenkt werden. Möglichkeiten zur Nutzung der zur Verfügung stehenden EDA - Software zur Leitungsimpedanz - und Leitungstopologie - Simulation sollen in das Design mit einfließen.

Festgelegt sind hingegen meistens die mechanischen Abmessungen und Positionen bestimmter Bauteile wie etwa Stecker, LED's, Taster und Schalter, Halterungen für Batterien, Einschubkarten und Sicherungen und Befestigungsbohrungen. Wobei schon im Vorfeld die Voraussetzungen geschaffen werden können die eine EMV - gerechte Platzierung erlauben oder die es eben erforderlich machen Kompromisse bei der Positionierung der Funktionsgruppen einzugehen.

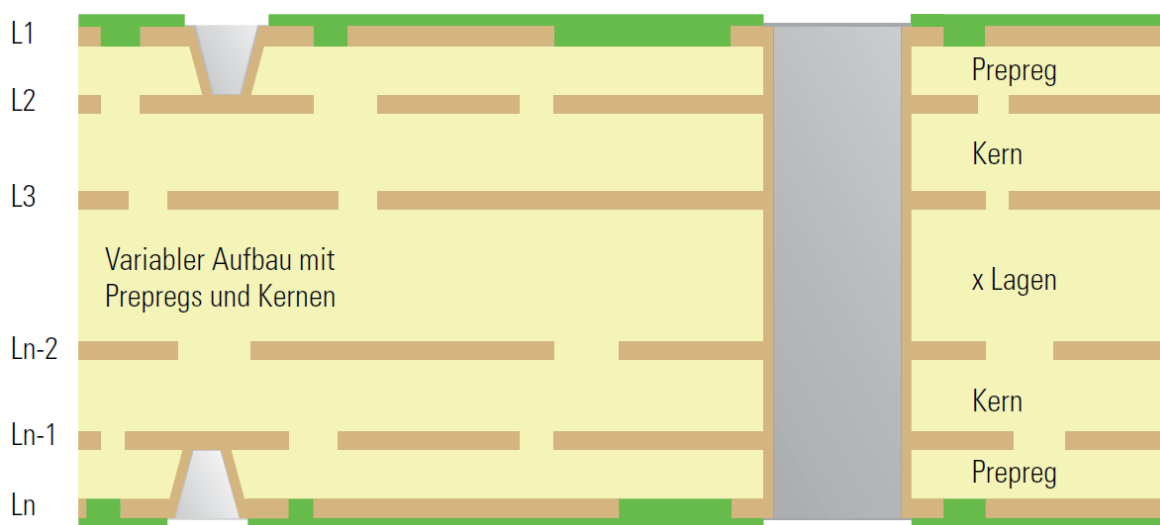


Abbildung 2: Lagenaufbau, Quelle: Häusermann GmbH (2012), Online-Quelle [19.11.2012]

3. STROMVERSORGUNG AUF DER LEITERPLATTE

Die Leiterplatte ermöglicht den physikalischen Aufbau einer Schaltung durch Landeflächen, auf denen die Bauteile aufgelötet werden. Zur Verbindung der Bauteileanschlüsse untereinander dienen Leiterbahnen, die durch Kupferstrukturen auf dem Basismaterial realisiert werden. Durch den Stromfluss in diesen Kupferbahnen können nun elektrische Signale übertragen werden, was einerseits die Stromversorgung und andererseits die Datenübertragung zwischen Bauteilen oder Steckverbindern ermöglicht.

3.1. Entkopplung

Die wichtigste Maßnahme um die Versorgung frei von Störungen zu halten, ist die „Entkopplung“ aktiver Bauelemente.

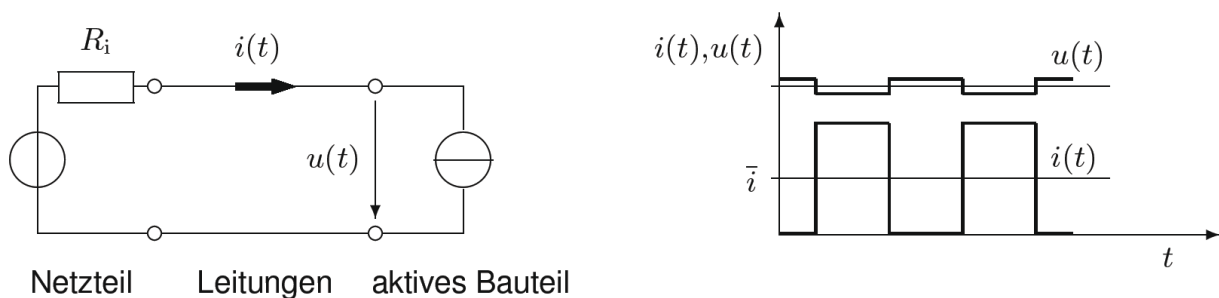


Abbildung 3: Ersatzschaltbild einer aktiven Last mit möglichem Spannungs- u. Stromverlauf, Quelle: Franz (2011), S. 72.

Eine elektronische Schaltung wird im angenommenen Fall durch ein Netzteil mit Gleichspannung versorgt. Ein Wechselstrom entsteht erst durch aktive Bauelemente in der Schaltung. Da bei diesen Bauteilen der Innenwiderstand hoch gegenüber dem Innenwiderstand der Versorgung ist, werden sie im Ersatzschaltbild als Konstantstromquellen angenommen.

Der linke Teil von Abbildung 3 zeigt ein aktives Bauelement, das vom Netzteil mit Gleichspannung versorgt wird. Der rechteckförmige Strom (Abbildung 3, rechts) wird durch das aktive Bauelement erzeugt und bewirkt am Innenwiderstand des Netzteils (R_i) einen Spannungsabfall. Für den Wechselstromanteil von $i(t)$ stellen das aktive Bauelement die Quelle, und der Innenwiderstand der Versorgung den Verbraucher dar. Diese Eigenschaft ist die Voraussetzung zur Wirkungsweise von lokaler Abblockung.¹

¹ Vgl. Franz (2011), S. 71 ff.

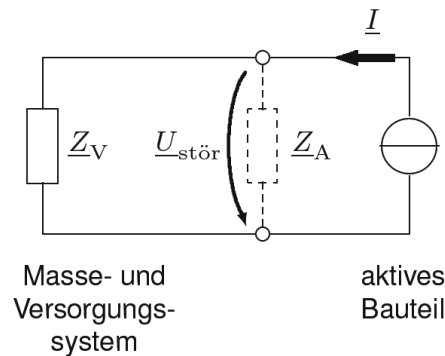


Abbildung 4: Ersatzschaltbild für die Abblockung Quelle: Franz (2011), S. 72.

Da für EMV - Aspekte nur die Wechselgrößen von Interesse sind, kann die Gleichspannungsquelle des Netzteils, wie in Abbildung 4 ersichtlich, auf null gesetzt werden. Die komplexe Impedanz, von den Versorgungspins des Bauteils aus gesehen, setzt sich nun aus der Impedanz des Netzteils mit Versorgungsleitungen (Z_V), der Impedanz aller weiteren durch diese Klemmen versorgten Schaltungsteile und falls vorhanden der Impedanz der Abblockung (Z_A) zusammen. Bei der Impedanz des Masse - und Versorgungssystems überwiegt zu hohen Frequenzen hin aufgrund der Leitungslängen der induktive Anteil. Der vom aktiven Bauteil ausgehende Wechselstrom erzeugt an der von ihm aus gesehenen Impedanz eine Störspannung ($U_{stör}$), die zu allen anderen Bauteilen, die durch dieselben Leitungen versorgt werden, gelangt und dort eingekoppelt werden kann. Ist die Impedanz der örtlichen Abblockung (Z_A) viel kleiner als die Impedanz der Versorgung, wird sich der hochfrequente Wechselstrom so aufteilen, dass er hauptsächlich durch die Abblockung und nicht durch weiter ausgedehnte Schleifen auf der Leiterplatte fließt.²

„Angestrebtes Ziel der Abblockung ist die Wechselstromfreiheit der Verbindung zwischen einer abgeblockten Schaltung und dem Versorgungssystem; dies gilt insbesondere für hohe Frequenzen.“³

3.2. Entkopplung digitaler ICs

Digitale ICs erzeugen hochfrequente Ströme durch Querströme und durch Signalströme. Querströme fließen direkt vom positiven zum negativen Versorgungsanschluss. Sie entstehen, wenn bei einem Schaltvorgang beide Transistoren der Ausgangsstufe, wie in Abbildung 5 dargestellt, gleichzeitig in einem leitenden Zustand sind.⁴

² Vgl. Franz (2011), S. 72 ff.

³ Franz (2011), S. 73.

⁴ Vgl. Franz (2011), S. 77.

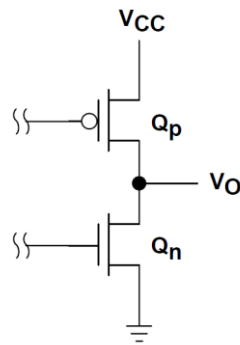


Abbildung 5: Ausgangsstufe einer CMOS Schaltung Quelle: Balasubramaniam (2002), Online-Quelle [8.11.2012], S. 9.

Dies entsteht in der Übergangszone zwischen beiden Logikzuständen, da sich hier beide Transistoren in einem leitenden Zustand befinden. Der dadurch entstehende hohe Stromimpuls soll sich durch eine geeignete Abblockung auf möglichst kurzem Wege schließen können, um nicht andere Schaltungsteile zu beeinflussen.⁵

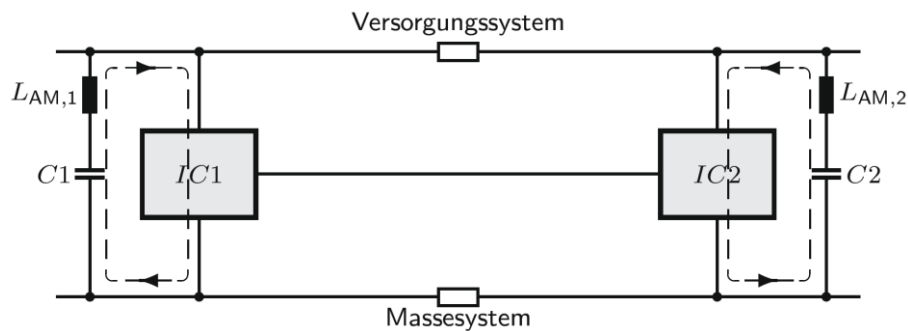


Abbildung 6: Abblockung Querströme, Quelle: Franz (2011), S. 81.

Abbildung 6 zeigt den Stromverlauf von Querströmen durch die Abblockung. Durch eine möglichst niedrige Impedanz der Abblockung, kann die Aufteilung des Stromes günstig beeinflusst werden, sodass kaum hochfrequente Ströme das Versorgungs - und Massesystem stören.⁶

3.3. Entkopplung von Schaltwandlern

Weitere kritische Schaltungsgruppen hinsichtlich EMV sind Schaltwandler. Der durch Prozessoren entstehende hohe Strombedarf bei relativ niedrigen Spannungen macht Abwärtsschaltregler, durch ihre hohe Effizienz und kleine Baugröße, zu oft verwendeten Spannungskonvertern. Sie werden als integrierte Bauteile angeboten, bei denen bis auf Speicherdrossel, Diode und Eingangs - bzw. Ausgangssiebcondensatoren alles untergebracht wird.

3.3.1. Entstehung von steilen Stromflanken in Abwärtsschaltwandlern

Um ihre Effizienz zu steigern werden von IC - Herstellern laufend neue Typen mit höheren Schaltfrequenzen entwickelt. Dadurch verringert sich der Platzbedarf auf der Leiterplatte, da der Induktivitätswert der Speicherdrossel verringert werden kann. Höhere Schaltfrequenzen bedeuten allerdings auch steilere Stromflanken und mögliche Probleme durch falsche Leiterbahnführung. Durch die

⁵ Vgl. Franz (2011), S. 80.

⁶ Vgl. Franz (2011), S. 80 f.

steilen Stromflanken in Verbindung mit induktiven Impedanzen der Masseanbindung entstehen Störspannungen auf der Masselage (engl. Ground Bounce) die besonders effektiv abgestrahlt werden können und damit EMV – Probleme verursachen.

Dabei können Störspannungen im Volt – Bereich entstehen. Als Erklärung kann der sich schnell veränderte magnetische Fluss, der proportional dem Strom in der umgebenden Stromschleife ist, dienen. Dabei ändert sich der magnetische Fluss nicht nur in Abhängigkeit vom Strom, sondern ebenso umgekehrt proportional zur Änderung der Größe der umschlossenen Schleife. Ein sich ändernder magnetischer Fluss führt zur Induktion einer Spannung im umschließenden Leiter. Das kann einerseits durch Änderung der Stromstärke in einer Schleife verursacht werden, oder durch Änderung der Fläche, die ein mit konstantem Strom durchflossener Leiter umgibt.⁷

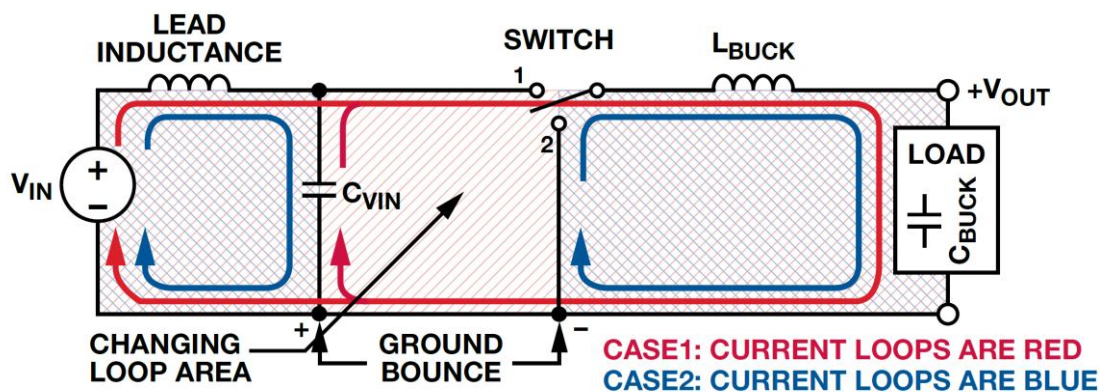


Abbildung 7: Stromschleifen im Abwärtschaltwandler, Quelle: Barrow (2007), Online-Quelle [9.11.2012], S. 2.

Zur Verdeutlichung ist in Abbildung 7 das Funktionsprinzip eines Abwärtschaltreglers dargestellt. Zur Vereinfachung kann angenommen werden, dass die Spannungen an Kondensatoren und ebenso die Ströme durch Spulen konstant sind. Je nach Schalterstellung nimmt der Strom einen unterschiedlichen Weg. Im ersten Fall fließt der Strom aus C_{VIN} , durch den Schalter, die Speicherdrossel und den Kondensator am Ausgang und schließt sich über Masse wieder. Im zweiten Fall fließt der Strom nicht mehr durch den Kondensator am Eingang sondern schließt sich über den Schalter.⁸

Um die Entstehung der steilen Stromflanken anhand eines konkreten Beispiels zu verdeutlichen zeigt Abbildung 8 die Simulation des Abwärtschaltwandlers nach Abbildung 9. Im Diagramm oben sieht man den Verlauf des Stromes durch die Speicherdrossel. Durch die Induktivität entsteht aus der rechteckförmigen Spannung, die an der Drossel anliegt, ein dreieckförmiger Strom durch die Drossel, mit relativ niedriger Steilheit. Nach der Knotenregel ergibt sich der Strom durch die Drossel aus der Summe der Ströme durch den Leistungsschalter im integrierten Schaltwandler und durch die Diode. Der Strom durch den „Bootstrap“ - Kondensator geht größtmäßig nicht ins Ergebnis ein.

⁷ Vgl. Barrow (2007), Online-Quelle [9.11.2012], S. 1.

⁸ Vgl. Barrow (2007), Online-Quelle [9.11.2012], S. 2.

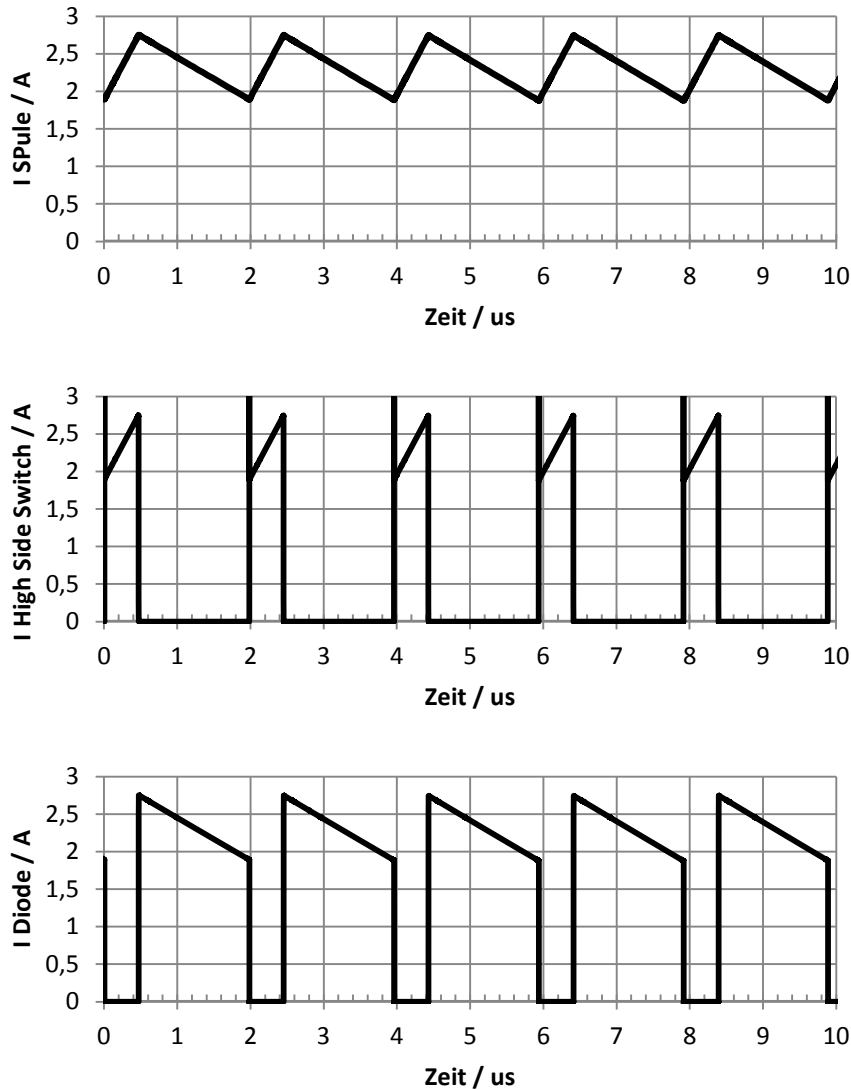


Abbildung 8: Simulierte Ströme in einem Abwärtsschaltwandler, Quelle: Eigene Darstellung

Ist der Leistungsschalter im Schaltwandler geschlossen übernimmt dieser den Strom durch die Drossel, wie im mittleren Diagramm von Abbildung 8 am Beginn zu sehen. Dabei steigt der Strom langsam linear an, bis der Schalter geöffnet wird. Ab diesem Zeitpunkt schließt sich der Strom über die Diode, wie im unteren Diagramm gezeigt. Der Strom durch die Drossel sinkt nun langsam, wie im unteren Diagramm dargestellt, bis der Leistungsschalter wieder geschlossen wird. Die Stromnadel beim Schließen des Leistungsschalters geht auf das Sperrverhalten und die dadurch entstehenden Sperrverzögerungsströme der Diode zurück.

Die Summe dieser beiden Ströme weisen keine steilen Flanken auf, doch die Teilströme durch Diode und Leistungsschalter besitzen Flanken im einstelligen Nanosekunden – Bereich.

3.3.2. Praktische Layout - Ausführung eines Abwärtsschaltwandlers

Die im vorigen Kapitel ausgeführten Überlegungen sollen beim DCB - Board angewandt werden. Zur Erzeugung der 5V - Versorgung ist ein Abwärtsschaltwandler vom Typ TPS54140DGQ vorgesehen. Dieser Baustein verwendet einen externen Widerstand, um die gewünschte Schaltfrequenz zwischen

100kHz und 2500kHz variieren zu können. Das Datenblatt⁹ gibt Auskunft über die entsprechende Dimensionierung der Schaltung.

$$R_{RT} = \frac{206033}{f_{SW}^{1.0888}} \quad (3.1) \quad \begin{array}{l} R_{RT}/k\Omega \\ f_{SW}/kHz \end{array} \quad \begin{array}{l} \text{Wert des Widerstands am Pin RT} \\ \text{Schaltfrequenz} \end{array}$$

Wird die Schaltfrequenz von 500 kHz in Formel (3.1) eingesetzt, ergibt das Ergebnis einen Widerstandswert von 237 kΩ, wie er auch in der Schaltung eingezeichnet ist.

Um die Bauteile auf der Leiterplatte günstig platzieren zu können, müssen die kritischen Strompfade bekannt sein. Dazu sind in Abbildung 9 die Stromflüsse bei den unterschiedlichen Zuständen eingezeichnet.

Der Umlauf bei angesteuertem internem Transistor wird durch die durchgezogene Schleife 1 dargestellt. Dabei fließt der Strom vom Kondensator an der Versorgung des Bausteins, über dessen internes Schaltelement, durch die Speicherdrossel zum Kondensator am Ausgang und schließlich über DGND zurück.

Im anderen Fall sperrt der interne Transistor und an dessen Stelle leitet die externe Diode den Strom von DGND direkt zur Drossel. Diese Masche ist als Schleife 2 punktiert eingezeichnet. Wie man erkennen kann, fließt in beiden Fällen ein Strom über die Drossel und ebenso über den Siebkondensator am Ausgang. Dadurch ist leicht ersichtlich, dass der Strom in diesen Teilen der Schaltung für unsere Betrachtung als konstant angenommen werden kann.

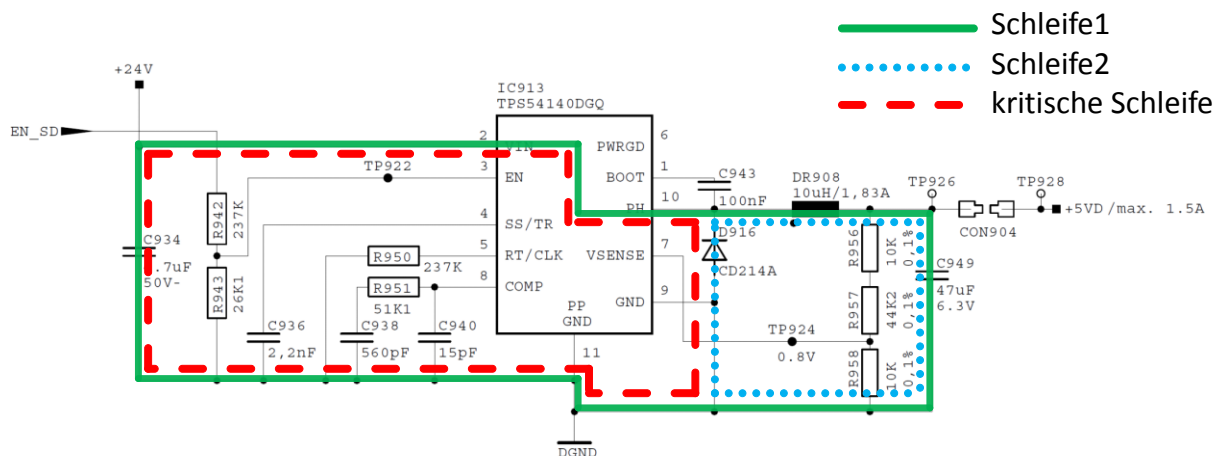


Abbildung 9: Kritische Schleife bei TPS5414 Schaltregler, Quelle: Eigene Darstellung

Durch Einzeichnen der beiden Schleifen wird es erleichtert diejenigen Zweige zu finden, durch die nur in einem der beiden Betriebszustände Strom fließt. Damit erhält man die Schleife, bei der die steilsten Stromflanken auftreten. In Abbildung 9 ist diese Schleife als kritische Schleife strichliert markiert. Die Größe der Störspannung in dieser Schleife ist abhängig von der Stromänderungsrate einerseits, und dem induktiven Impedanzanteil der Masche andererseits.

⁹ Texas Instruments (2012), Online-Quelle [12.11.2012]

3.3.3. Umsetzung im Layout

Vorrangiges Ziel im Layout ist es, die parasitären Induktivitätsanteile der Leitungen klein zu halten. Dabei ist die Induktivität einer Schleife von der Leiterbreite und von der umschlossenen Fläche abhängig.

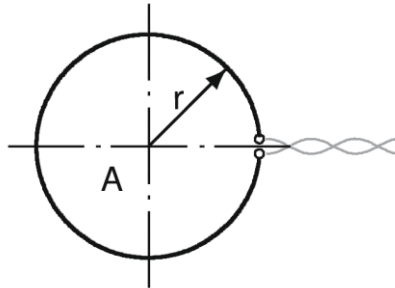


Abbildung 10: Kreisförmig Leiterschleife Quelle: Franz (2011), S. 24.

Für eine kreisförmige Leiterschleife nach Abbildung 10 gilt Formel (3.2). In der Formel ist erkennbar, dass sich die Induktivität mit steigendem Radius oder mit kleiner werdendem Drahtdurchmesser erhöht.

$$L = n^2 \cdot \mu_0 \cdot r \cdot \ln \left(\frac{2r}{d} \right) \quad (3.2)$$

n	Wicklungszahl
r/m	Radius
d/m	Drahtdurchmesser
$\mu_0 / \frac{Vs}{Am}$	Magnetische Feldkonstante $4\pi \cdot 10^{-7} \frac{Vs}{Am}$
L/H	Induktivität

Ziel im Layout muss es nun sein, die Leiterbreite der kritischen Schleife auf ein Maximum zu erhöhen, und die aufgespannte Fläche der Schleife möglichst klein zu halten, sodass ihre Induktivität ein Minimum annimmt.

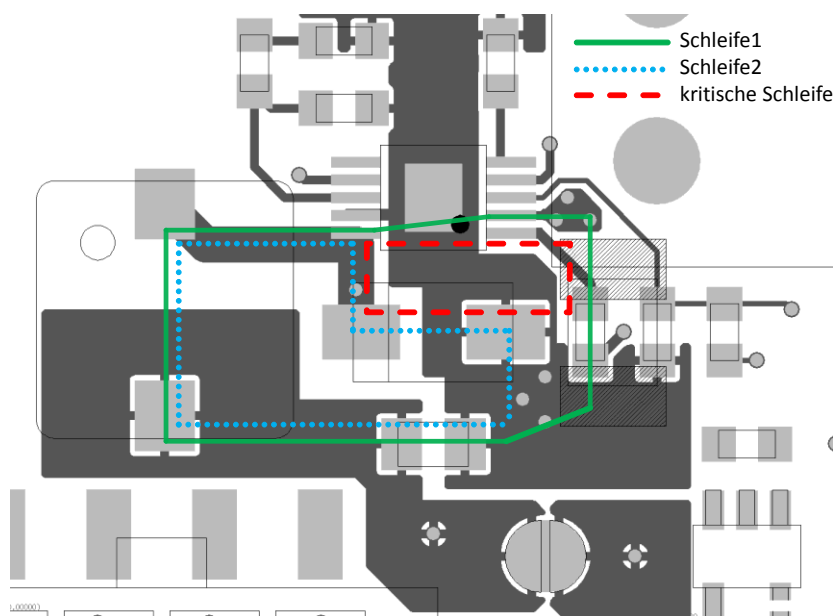


Abbildung 11: Kritische Schleife, Quelle: Eigene Darstellung

Durch entsprechende Platzierung entstand das Layout, wie in Abbildung 11 dargestellt. Die beiden betrachteten Wege, die der Strom nimmt sind wiederum eingezeichnet. Durch diese Anordnung konnte die entstandene Geometrie der kritischen Schleife auf eine Größe von ca. 6mm x 3mm verringert werden.

3.4. Entkopplung auf Multilayern

Bei hoher Bauteildichte und / oder steilen Signalfanken werden mehrlagige Leiterplatten notwendig, da zum einen die Vielzahl der Verbindungen auf zweilagigen Leiterplatten nicht mehr unterzubringen sind, und zweitens eine Signalmasse mit niedriger Impedanz erforderlich wird, um Störungen, die durch die schnellen Signalströme im Massesystem entstehen, niedrig zu halten. Werden Versorgungslage und Masselage sich gegenüberliegend ausgeführt entsteht eine Kapazität, die zur Abblockung genutzt werden kann. Daraus ergeben sich die Fragen, welche Eigenschaften diese Anordnung hat, und wie diese durch Lagenanordnung, Abstand und Leiterplattengeometrie beeinflusst werden können.

3.4.1. Eigenschaften der Stromversorgungslagen

Im untersten Frequenzbereich wird die Impedanz der Abblockung durch die Kapazität der parallel geschalteten Abblockkondensatoren und der Kapazität der Versorgungslagen bestimmt. Die Leiterplatte selbst kann in diesem Bereich als idealer Kondensator angesehen werden.

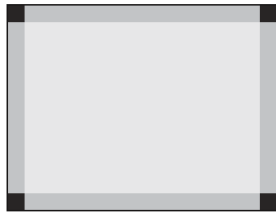
Bei steigender Frequenz entsteht eine Parallelresonanz durch die parasitären Induktivitäten der Abblockkondensatoren mit der Kapazität des aus Versorgungs- und Masselagen der Leiterplatte gebildeten Kondensators. Oberhalb dieser Frequenz steigt die Impedanz der bestückten Kondensatoren durch induktive Anteile weiter an, was ihre Wirkung mindert. Bei höheren Frequenzen hängt die Impedanz der Abblockung zunehmend von den Eigenschaften der Leiterplatte selbst ab.

Bei noch höheren Frequenzen bestimmen Resonanzeffekte die Abblockungseigenschaften. Die Leiterplatte kann als zweidimensionale Leitung angesehen werden. Sich ausbreitende Wellen werden am hochohmigen Leiterplattenrand reflektiert. Dabei entstehen stehende Wellen auf den durchgehenden Masse – und Versorgungslagen, die Moden genannt werden. Die Frequenzen dieser Moden werden durch die Leiterplattenabmessungen bestimmt, wobei die tiefste Resonanzfrequenz angeregt wird, wenn die größte Seitenlänge der Leiterplatte im Bereich der halben Wellenlänge ($\lambda/2$) liegt.

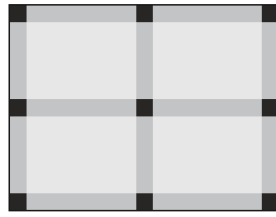
Bei einer rechteckförmigen Kontur entstehen in x – Richtung bei all jenen Frequenzen Moden, bei denen die Leiterplattenlänge ein ganzzahliges Vielfaches von $\lambda/2$ ist, dies gilt ebenso in y – Richtung und in Diagonalrichtung, durch Moden die sich in beiden Richtungen gleichzeitig ausbreiten.

Moden bilden stehende Wellen aus, deren Spannungswert sich mit der Position ändert. Jene Stelle, an der ein Spannungsmaximum vorliegt, ist gleichzeitig die Stelle mit der größten Impedanz und somit zur Abblockung schlecht geeignet. Diese Stellen bilden Modenextrema.¹⁰

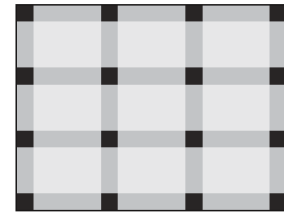
¹⁰ Vgl. Franz (2011), S. 102-110.



10-, 01-Mode (grau)
11-Mode (schwarz)



20-, 02-Mode (grau)
21-, 22-Mode (schwarz)



30-, 03-Mode (grau)
gemischten Moden (schwarz)

Abbildung 12: Lage der Modenextrema, Quelle: Franz (2011), S. 112.

In Abbildung 12 sind für ausgewählte Moden die Positionen dargestellt, an denen sich Modenextrema bilden. Da jeder Mode in der Ecke ein Spannungsmaximum besitzt, können durch Simulation an genau diesem Punkt, alle Moden gleichzeitig berücksichtigt werden.¹¹

$$f_{mn} \approx \frac{c_0}{2\sqrt{\epsilon_r}} \cdot \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} \quad 3.3$$

$c_0/\frac{m}{s}$ Lichtgeschwindigkeit in Vakuum ($3 \cdot 10^8 \frac{m}{s}$)
 ϵ_r relative Dielektrizitätszahl
 a/m Abmessung a
 b/m Abmessung b

Bei rechteckigen Leiterplatten können die Frequenzen, an denen Moden auftreten, durch Formel (3.3) berechnet werden. Tabelle 1 zeigt die berechneten Frequenzwerte bei einer Leiterplattengröße von 240 mm x 110 mm. Die Zeilen wurden nach Frequenz aufsteigend sortiert.

m	n	f/MHz
1	0	295
2	0	589
0	1	643
1	1	707
2	1	872
3	0	884
3	1	1093
0	2	1286
1	2	1319
2	2	1414
3	2	1560
0	3	1928
1	3	1951
2	3	2016
3	3	2121

Seitenlänge	a	0,24 m
Seitenlänge	b	0,11 m
	er	4,5
	c0	3,00E+08 m/s

Tabelle 1: Berechnete Modenfrequenzen

¹¹ Vgl. Franz (2011), S. 111.

3.4.2. Möglichkeit zur Simulation des Versorgungssystems mit SPICE

Simulationsprogramme sind ein häufig verwendetes Werkzeug bei der Entwicklung von Hardware. Die dabei meist verwendeten Simulationsmodelle bauen dabei grundsätzlich auf konzentrierte Bauteile, wie etwa Induktivitäten, Spulen und Kondensatoren, auf. Durch die räumliche Ausdehnung der Leiterplatte, kann ein Modell, das die Eigenschaften der Versorgungslagen als konzentriertes Bauteil nachbildet, nur für niedrige Frequenzen ein wirklichkeitsgetreues Verhalten vorhersagen. Für hohe Frequenzen besteht natürlich die Möglichkeit einen FEM - Simulator zu nutzen, aber es kann auch ein SPICE - basiertes Simulationsprogramm mit folgend beschriebener Technik aussagekräftige Ergebnisse liefern.

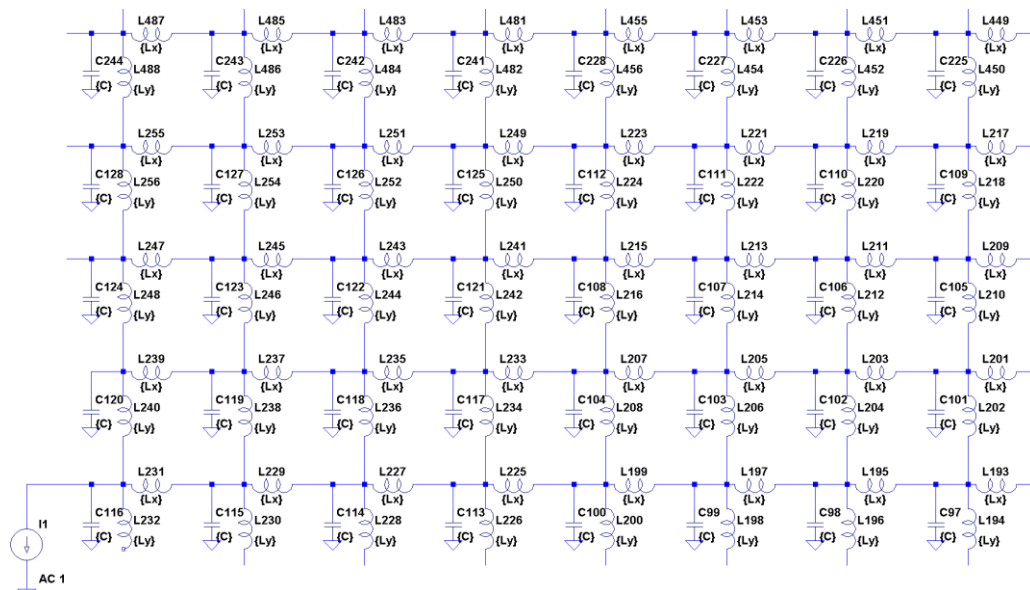


Abbildung 13: Ausschnitt aus der Nachbildung der Versorgungslagen in LTSpice, Quelle: Eigene Darstellung

Dabei wird, wie in Abbildung 13 zu sehen, die Leiterplatte in ausreichend viele Segmente unterteilt. Jedes Segment gibt die Eigenschaften dieses Teilstücks der Leiterplatte wieder. Dazu besteht jeder Teil aus einer Kapazität, einer Induktivität in x als auch in y – Richtung und einem realen Widerstand, wiederum in x und in y – Richtung aufgeteilt. Eine ausführlich Dimensionierung der Schaltungselemente ist in ¹² zu finden.

3.4.2.1. Untersuchung des Einflusses der Substratdicke auf die Leiterplattenimpedanz

Als quantitativer Wert kann die Impedanz des Versorgungssystems als ein aufschlussreiches Indiz für die Abblockungswirkung dienen. Zunächst wurde ein Simulationsmodell erstellt, das den realen Abmessungen des in dieser Arbeit untersuchten Device - Computer - Boards entspricht. Dabei wird angenommen, dass der Abstand der zwei Versorgungslagen durch ein Substrat, wie es das FR4 - Kernmaterial in der Leiterplatte darstellt, bestimmt wird. Anhand dieses Modells, wurde die Auswirkung unterschiedlicher Substratdicken auf die Impedanz nachgeprüft.

¹² Vgl. Franz (2011), S. 135-141.

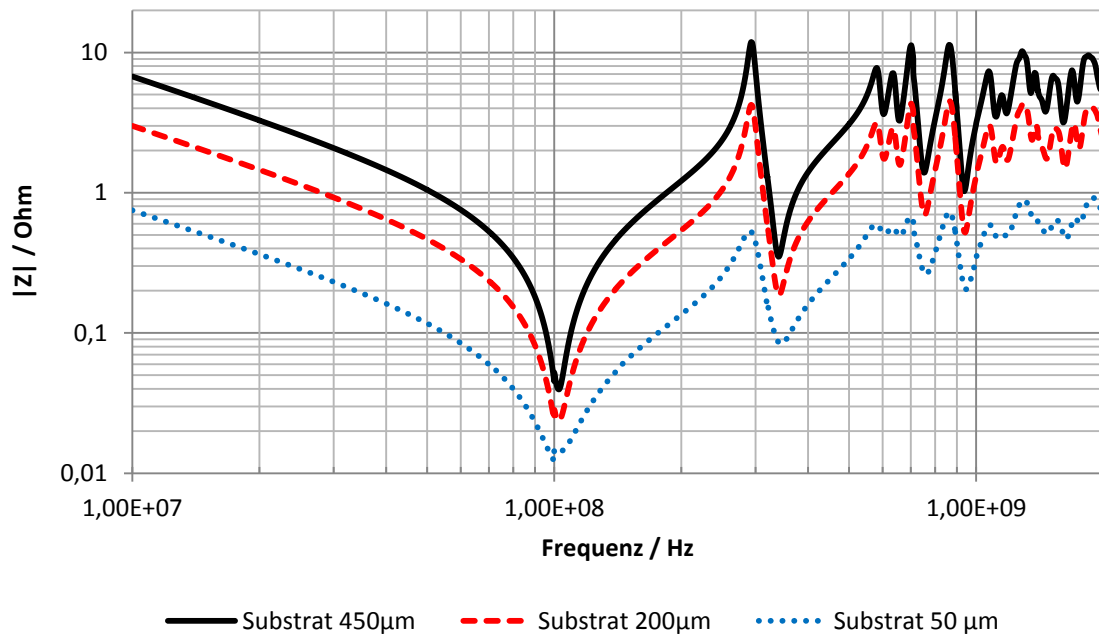


Abbildung 14: Impedanzverlauf der Versorgungsplanes; Substratdicke als Parameter, Quelle: Eigene Darstellung

Die Kurven in Abbildung 1 stellen den Betrag der simulierten Impedanz dar. Als Einspeisepunkt wurde die linke untere Ecke verwendet, da hier alle Moden angeregt werden, und dadurch der ungünstigste Fall dargestellt wird. Bei der Untersuchung der Leiterplatte ist jener Bereich von Interesse, in dem Parallelresonanzen durch Modenextrema auftreten, da hier die Abblockkondensatoren keine Wirkung mehr haben. Die erste Parallelresonanz ist bei 300 MHz zu sehen. Bei einer Substratdicke von 450 µm liegen die Maximumwerte der Resonanzstellen bei einer Impedanz von etwa 10 Ω. Bei Verwendung eines 50 µm dünnen Kerns, liegt dieser Wert bei unter 1 Ω, was schon eine gute Abblockwirkung erwarten lässt.

Da 50 µm dünnes Material noch nicht zum Standard von Leiterplattenherstellern zählt, muss dessen Einsatz mit dem Hersteller abgesprochen und unter Berücksichtigung eventueller Mehrkosten, der erwartete Nutzen gegen den Mehraufwand abgewogen werden.

3.4.2.2. Untersuchung des Einflusses der Position auf die Leiterplattenimpedanz

Zuvor war jener Punkt der Leiterplatte von Interesse, an denen die schlechtesten Ergebnisse zu erwarten sind, damit das reale Board sicher bessere Werte aufweist. Umgekehrt ist, um die Platzierung günstig zu beeinflussen, jene Position auf der Leiterplatte herauszufinden, an dem besonders günstige Abblockbedingungen vorliegen. Auf dieser Position haben besonders kritische Bauteile weniger störende Auswirkungen auf das Versorgungssystem.

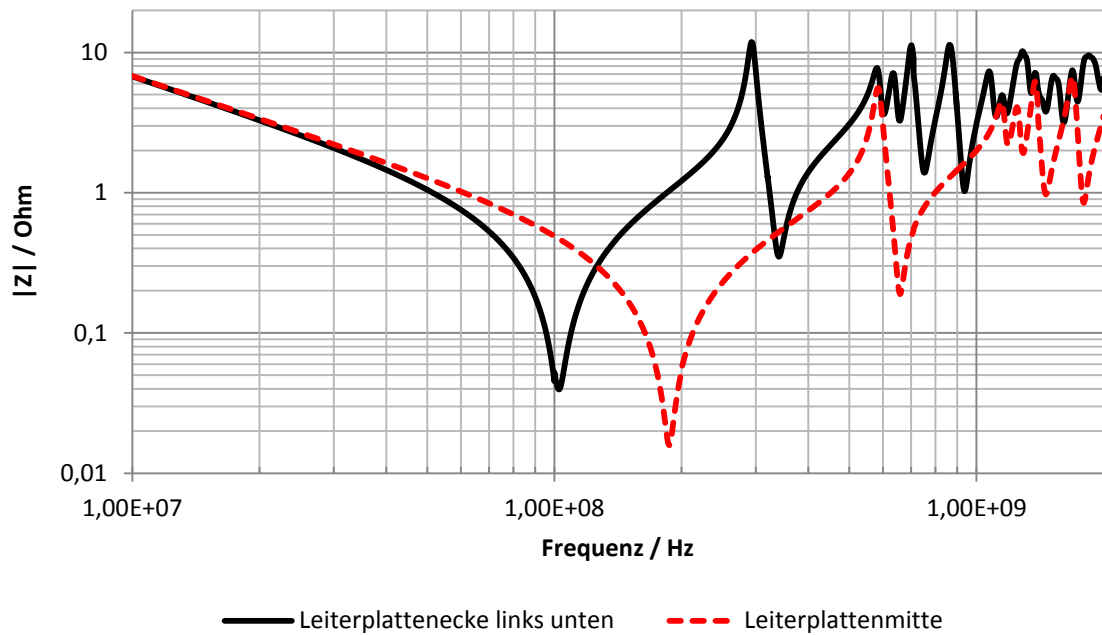


Abbildung 15: Impedanzverlauf der Versorgungsplanes; Position als Parameter, Quelle: Eigene Darstellung

Die in Tabelle 1 aufgelisteten Frequenzen für Modenextrema sind in Abbildung 15 als Hochpunkte der durchgezogenen Linie wiederzufinden, beginnend bei Mode₁₀ bei 295 MHz gefolgt von Mode₂₀ bei 589 MHz und Mode₀₁ bei 643 MHz. Die Linie beschreibt die an der Leiterplattenkante simulierte Impedanz des Versorgungssystems.

Wie in Abbildung 12 dargestellt, besitzen alle Moden in der Leiterkartenecke ein Spannungsmaximum, umgekehrt besitzen alle ungeradzahligen Moden in der Leiterplattenmitte ein Spannungsminimum, was zu niedrigeren Impedanzwerten an dieser Stelle führt.¹³ Zur Validierung dieser Annahme wurde die Simulation mit der Leiterplattenmitte als Einspeisepunkt erneut durchgeführt. Die unterbrochene Linie in Abbildung 15 zeigt das Ergebnis. Wie zu erwarten sind Mode₁₀ bei 295 MHz sowie Mode₀₁ bei 643 MHz ebenso wie Mode₁₁ und weitere nicht mehr erkennbar.

Die Leiterplattenmitte kann daher als günstiger Punkt für die Platzierung kritischer Bauteile Verwendung finden.

¹³ Vgl. Franz (2011), S. 113.

4. SIGNALÜBERTRAGUNG AUF DER LEITERPLATTE

Ursachen von Störabstrahlungen in heutigen Elektronikschaltungen sind in geschalteten Signalen mit steilen Flanken zu suchen. Diese können etwa bei Leistungselektronik durch hohe Schaltspannungen und Ströme und relativ niedrigen Frequenzen entstehen oder durch schnelle Logik mit Flanken im Picosekunden - Bereich und hoher Frequenz. Um die Übertragung schneller digitaler Signale auf einer Leiterplatte beherrschen zu können, werden impedanzdefinierte Übertragungsleitungen eingesetzt. Dabei wird eine durchgehende Kupferlage als Referenzlage genutzt, auf der der Signalarückstrom ohne Unterbrechungen fließen kann.

4.1. Eingesetzte Arten von Übertragungsleitungen auf Leiterplatten

Grundsätzlich werden zwei Arten von Übertragungsleitungen eingesetzt. Bei der sogenannten Microstrip - Anordnung befindet sich der Signalleiter auf einer Außenlage mit darunter liegender Referenzlage. Von einem Stripline – Aufbau spricht man, wenn der Signalleiter zwischen zwei Referenzlagen in der Innenlage eingebettet wird.

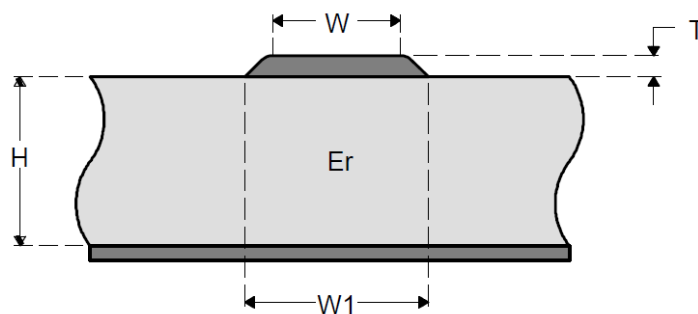


Abbildung 16: Microstrip Topology, Quelle: Texas Instruments (2005), Online-Quelle [17.1.2013], S. 55.

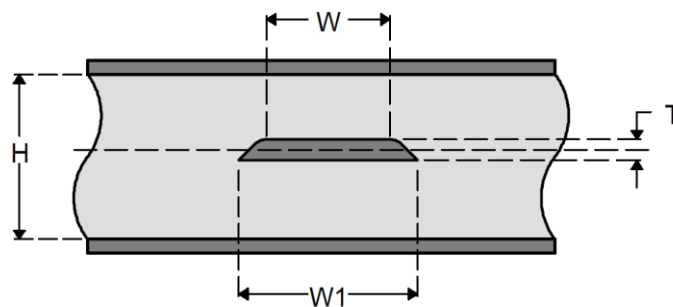


Abbildung 17: Stripline Topology, Quelle: Texas Instruments (2005), Online-Quelle [17.1.2013], S. 55.

Bei den in Abbildung 16 und Abbildung 17 gezeigten Anordnungen, fließt der Rückstrom auf der Referenzlage genau im Bereich des Signalleiters. Dadurch werden Stromschleifen reduziert, was wiederum Spannungsdifferenzen im GND – System und in weiterer Folge Abstrahlung minimiert.¹⁴

¹⁴ Vgl. Texas Instruments (2005), Online-Quelle [17.1.2013], S. 55.

4.2. Ermittlung des Wellenwiderstandes

Beim Auslegen von Schaltungsteilen zur Signalübertragung, muss der Wellenwiderstand der entsprechenden Übertragungsleitung auf der Leiterplatte bekannt sein, um den Leitungsabschluss richtig dimensionieren zu können. Zur Bestimmung der Impedanz einer Leiterbahnanordnung werden in der Literatur Formeln angegeben, die jedoch auf bestimmte Strukturen eingeschränkt sind. Eine genauere Möglichkeit der Impedanzermittlung stellen Simulationsprogramme dar, die auf Grundlage der Finite - Elemente – Methode (FEM) arbeiten.

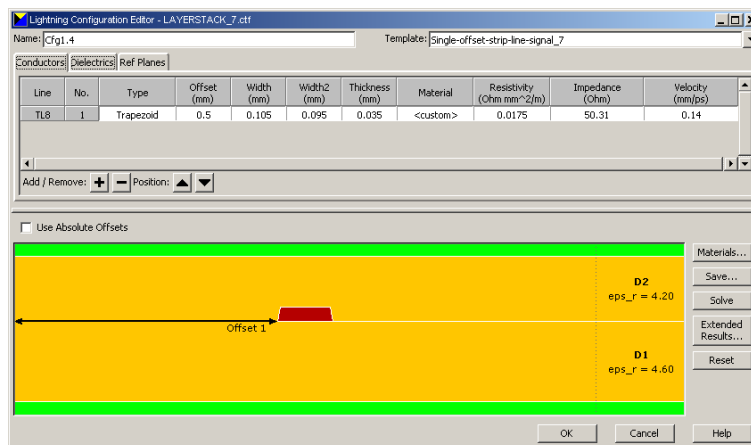


Abbildung 18: Eingabemaske Lightning Configuration Editor, Quelle: Eigene Darstellung

Abbildung 18 stellt die Eingabemaske, des in dieser Arbeit verwendeten Simulators der Firma „ZUKEN“ dar, der nach der Finiten - Elemente – Methode (FEM) arbeitet. Darin sind alle Eigenschaften der Kupferstrukturen bzw. des Dielektrikums frei wählbar. Zunächst müssen die Anzahl und Position der Referenzlagen in einer Tabelle eingegeben werden. In diesem Fall wird oben und unten eine durchgehende Referenzlage vorgesehen. Die Materialstärke und die relative Dielektrizitätszahl kann ebenso in der Registerkarte „Dielectrics“ eingegeben werden. Nach Eingabe der Breite und Stärke des Kupferleiters kann die Berechnung gestartet werden. Als Ergebnis werden die charakteristische Impedanz, die Ausbreitungsgeschwindigkeit des Signals und die Leitungsbeläge der untersuchten Leitung ermittelt.

Für die praktische Auslegung wurde der Aufbau, wie auch in Abbildung 18 dargestellt, simuliert. Es handelt sich um eine asymmetrische Stripline – Anordnung, dessen Dielektrikum unterhalb des Leiters durch einen FR - 4 - Kern mit 200 μm Dicke und oberhalb des Leiters durch Prepregmaterial mit einer Stärke von 126 μm realisiert wurde. Die Leiterbreite wurde solange angepasst, bis bei 0,1 mm Breite ein Wellenwiderstand von 50,3 Ohm ermittelt werden konnte. Die weiteren Eigenschaften sind eine Ausbreitungsgeschwindigkeit von 143,6 mm ns , ein induktiver Leitungsbelag von 350 nH m , ein kapazitiver Leitungsbelag von 138,2 pF m und ein Gleichstromwiderstand von 5 Ωm .

4.3. Einflussfaktoren auf den Wellenwiderstand

Die Abhängigkeit des Wellenwiderstandes von der Leiterbreite, die bei einem ähnlichen Aufbau wie in Abschnitt 4.2 untersucht worden ist, wird in Abbildung 19 als durchgezogene Linie dargestellt. Man kann

die Erhöhung des Wellenwiderstandes bei schmaler werdendem Leiter sehen, was darauf zurückzuführen ist, dass bei schmalerem Leiter der kapazitive Leitungsbelag abnimmt, und gleichzeitig der induktive Leitungsbelag zunimmt. Aus Formel (4.1) ist zu erkennen, dass sich dadurch der Wellenwiderstand erhöht.

$$Z_W = \sqrt{\frac{L'}{C'}} \quad (4.1)$$

Z_W/Ω Wellenwiderstand
 $L'/\frac{H}{m}$ induktiver Leitungsbelag
 $C'/\frac{F}{m}$ kapazitiver Leitungsbelag

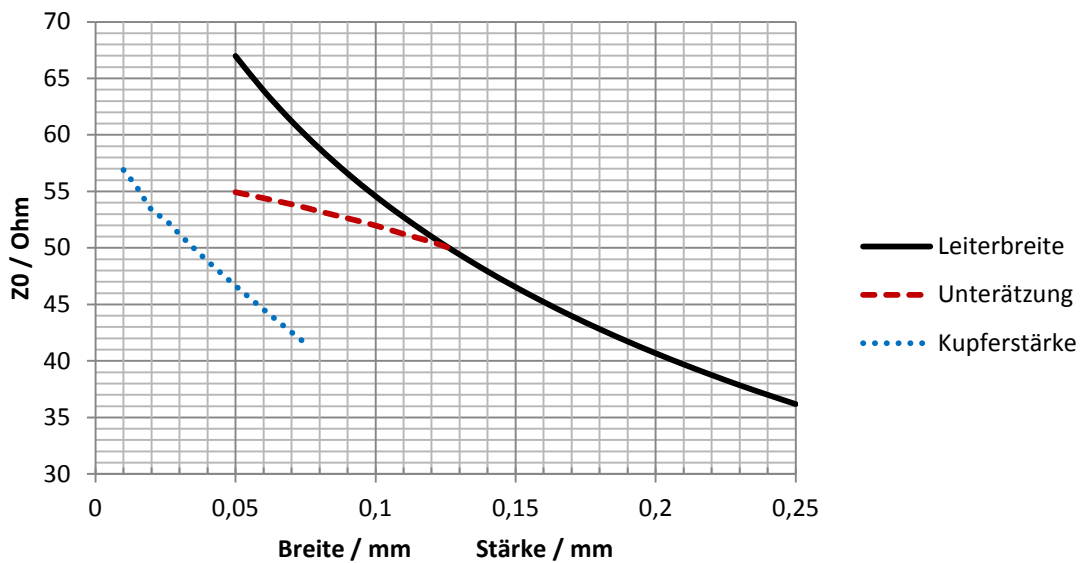


Abbildung 19: Einfluss der Leiterbreite und Kupferstärke auf den Wellenwiderstand, Quelle: Eigene Darstellung

Um weitere Einflussfaktoren darzustellen, sind in Abbildung 19 der Impedanzverlauf in Abhängigkeit der Kupferstärke als punktierte Linie und die Impedanz in Abhängigkeit der Unterätzung einer Leiterbahn als strichlierte Linie dargestellt.

Eine weitere Einflussgröße ist das Dielektrikum. Dazu wurde die Auswirkung der Materialstärke in Abbildung 20 eingetragen, und die Abhängigkeit des Wellenwiderstandes von der relativen Dielektrizitätszahl in Abbildung 21.

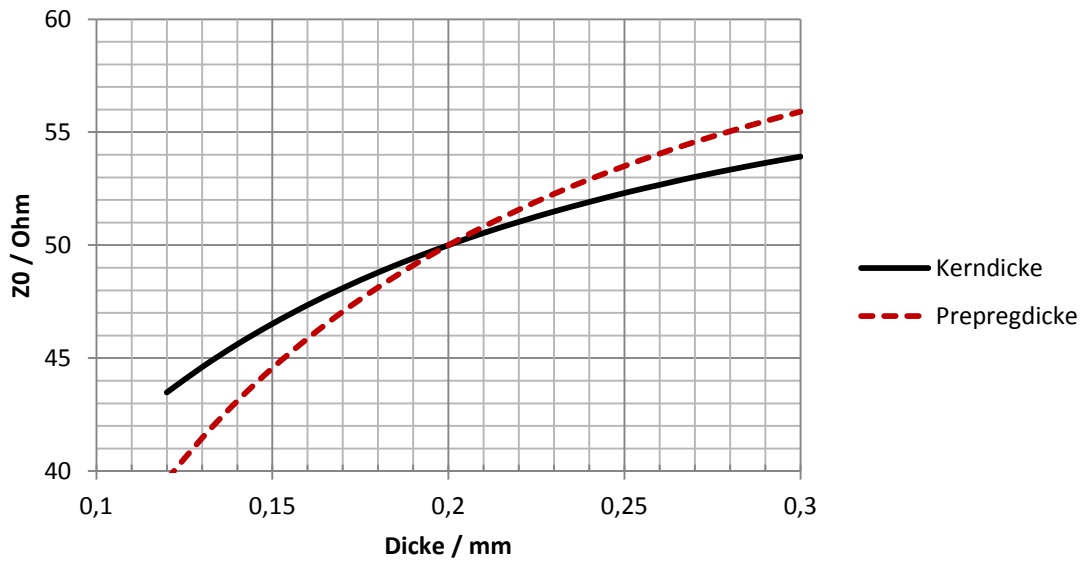


Abbildung 20: Einfluss der Dicke des Dielektrikums auf den Wellenwiderstand, Quelle: Eigene Darstellung

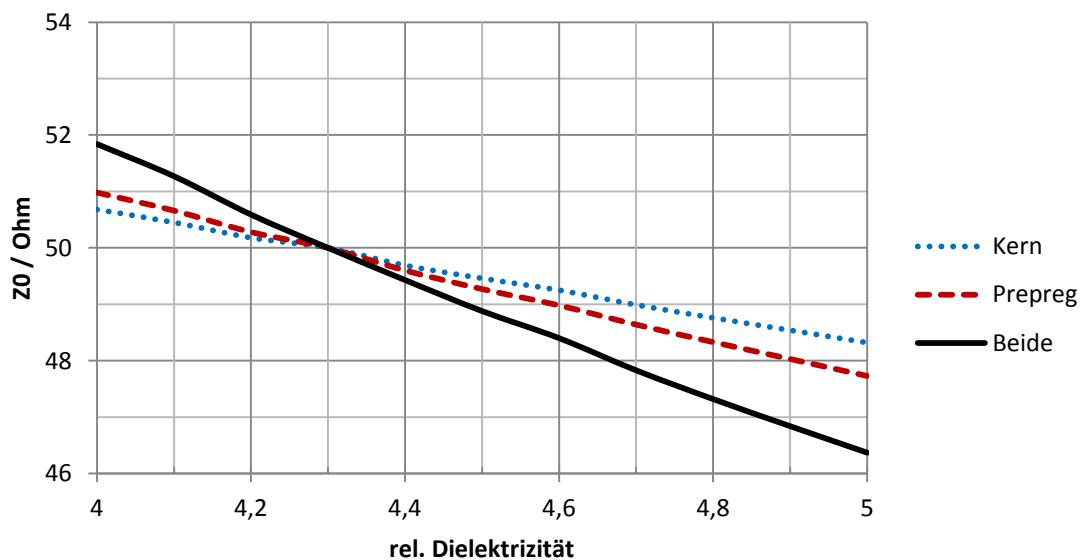


Abbildung 21: Einfluss der relativen Dielektrizitätszahl auf den Wellenwiderstand, Quelle: Eigene Darstellung

Mit dem Wissen über die Auswirkung der verschiedenen Einflüsse auf den Wellenwiderstand, kann in weiterer Folge abgeschätzt werden, wie sich Materialtoleranzen in der Herstellung auswirken. Es soll angemerkt werden, dass mit dem Leiterplattenhersteller Rücksprache gehalten werden soll, um auf die Gegebenheiten seines Herstellungsprozesses Rücksicht nehmen zu können. Dadurch kann gewährleistet werden, dass eine bestimmte Toleranz des Wellenwiderstandes nicht überschritten wird.

4.4. Übersprechen

Übersprechen (engl. crosstalk) ist ein wichtiger Aspekt bei der Signalleitungsführung. Dabei entstehen auf einer beeinflussten Signalleitung Störspannungen, die die Störanfälligkeit erhöhen, oder bei ausreichender Amplitude sogar zu falschen logischen Signalen am Empfänger führen. Übersprechen entsteht durch Gegeninduktivität und gegenseitige Kapazität zweier Signalleiter. Insbesondere

periodische Signale, wie sie durch Taktleitungen übertragen werden, sind hinsichtlich Übersprechens als starke Störquellen zu betrachten.

Damit es zu Übersprechen kommen kann, sind, wie in Abbildung 22 zu sehen, 3 oder mehr Leiter notwendig. Ein Leiter dient in Verbindung mit einem Rückleiter zur Übertragung des Signals, und gleichzeitig als Störquelle. Ein weiterer Leiter bildet in Verbindung mit dem Rückleiter die Störsenke. Beim Übersprechen spielen kapazitive als auch induktive Kopplung eine Rolle. Die kapazitive Auswirkung überwiegt meistens, wenn die Signalleitungen übereinander geführt werden, und durch ihre eng aneinander liegenden Breitseiten die kapazitive Kopplung entsprechend hoch ist. Werden Leitungen parallel auf einer Lage nebeneinander geführt kommt meistens die induktive Kopplung zum Tragen.¹⁵

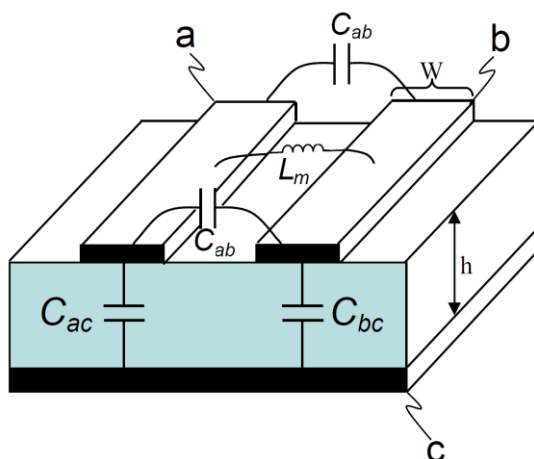


Abbildung 22: Kapazitive und induktive Kopplung, Quelle: Norte (2011), Online-Quelle [14.12.2012]

Übersprechen weist eine Art Richtcharakteristik auf. Das bedeutet, dass die Ausbreitungsrichtung des Signals auf der Störquelle Einfluss auf das entstehende Signal auf der Störsenke nimmt. Dadurch unterscheidet man zwei Formen von Übersprechen. Je nachdem welches Ende der gestörten Leitung man betrachtet spricht man im englischen von Forward - und Backward - Crosstalk oder auch Far - und Near - End - Crosstalk. Dabei bezeichnet man das auf dem Sender zugewandte Ende auftretende Störsignal als Near - End - oder Backward - Crosstalk.

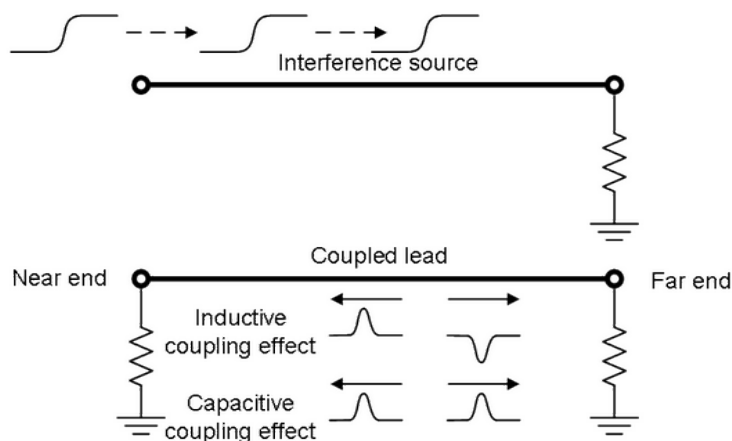


Abbildung 23: Koppeleffekte, Quelle: In Anlehnung an Johnson/Graham (1993), S. 207.

¹⁵ Vgl. Montrose (2000), S. 131 f.

Die kapazitive Kopplung bewirkt sowohl in Vorwärts – als auch in Rückwärts – Richtung ein positives Übersprechen bei steigender Signalfanke, während die induktive Kopplung in Rückwärts – Richtung zwar ebenfalls eine positive Amplitude aufweist, sich in Vorwärtsrichtung allerdings als negativer Spannungspuls auswirkt. Dementsprechend kann das Vorzeichen von Forward - Crosstalk je nach dominierendem Koppelmechanismus ein positives oder negatives Vorzeichen annehmen, wie es Abbildung 23 zeigt.¹⁶

Durch die Wirkungsweise kann man feststellen, dass sich Übersprechen einerseits minimieren lässt, indem man kapazitive und induktive Kopplung zweier Leitungen verringert und andererseits indem man die parallel geführte Länge der beiden Leitungen minimiert. Ersteres kann durch Vergrößern des Abstandes zwischen den zwei Signalleitern erfolgen, oder auch durch Verringern des Abstandes der einzelnen Leiter zur Referenzlage.

4.4.1. Simulation von Forward - und Backward - Crosstalk

Um die Eigenschaften von Übersprechen untersuchen zu können, wurde ein Szenario erstellt, bei dem Übersprechen durch zwei gekoppelte Signalleiter auftritt.

Dazu wurde zunächst ein kritisches Bauteil auf der Schaltung bestimmt, das als Störquelle das höchste Übersprechen erwarten lässt. Die Auswahl fiel auf einen Taktgenerator vom Typ LMK03806¹⁷, der Frequenzen bis 2,6 GHz generieren kann.

LVCMOS Clock Outputs (CLKoutX)						
f _{CLKout}	Operating Frequency ⁽²³⁾	5 pF Load			250	MHz
V _{OH}	Output High Voltage	1 mA Load	V _{CC} - 0.1			V
V _{OL}	Output Low Voltage	1 mA Load			0.1	V
I _{OH}	Output High Current (Source)	V _{CC} = 3.3 V, V _O = 1.65 V		28		mA
I _{OL}	Output Low Current (Sink)	V _{CC} = 3.3 V, V _O = 1.65 V		28		mA
DUTY _{CLK}	Output Duty Cycle ⁽²³⁾	V _{CC} /2 to V _{CC} /2, F _{CLK} = 100 MHz, T = 25 °C	45	50	55	%
T _R	Output Rise Time	20% to 80%, R _L = 50 Ω, CL = 5 pF		400		ps
T _F	Output Fall Time	80% to 20%, R _L = 50 Ω, CL = 5 pF		400		ps

Abbildung 24: Ausschnitt Datenblatt Taktgenerator, Quelle: Texas Instruments (2012), Online-Quelle [14.12.2012]

Wie in Abbildung 24 ersichtlich, gibt das Datenblatt für Ausgänge des Bausteines mit LVCMOS - Technologie Anstiegszeiten von 400 ps an. Auf der Homepage von Texas Instruments wird ein IBIS – Simulationsmodell¹⁸ des gesamten Bausteines zum Download angeboten. Dieses Modell beinhaltet auch die Nachbildung einer LVCMOS - Treiberstufe, die in den folgenden Simulationen verwendet wird.

Als erstes sollen die Amplitudenformen, die durch Forward – und Backward – Crosstalk entstehen durch Simulation bestimmt werden. Dazu wurde die Schaltung in Abbildung 25 verwendet.

¹⁶ Vgl. Johnson/Graham (1993), S. 204-207.

¹⁷ Texas Instruments (2012), Online-Quelle [14.12.2012]

¹⁸ Texas Instruments (2012), Online-Quelle [16.12.2012]

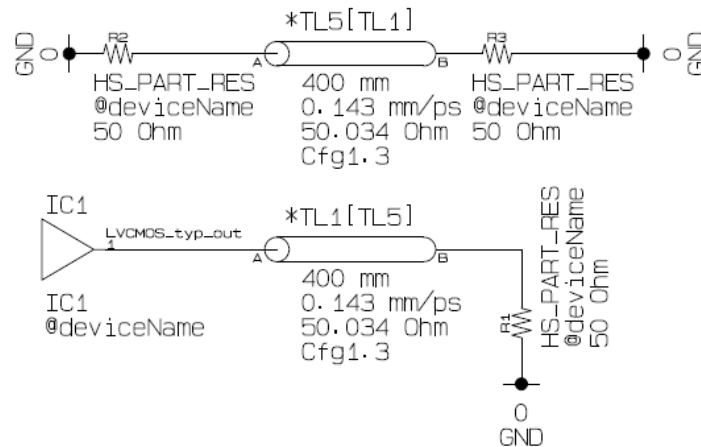


Abbildung 25: Schaltung zur Untersuchung von Übersprechen, Quelle: Eigene Darstellung

Die Störquelle wird in diesem Szenario durch das Treibermodell (IC1) nachgebildet, an dessen Ausgang ein Rechtecksignal mit 10 MHz ausgegeben wird. Die Übertragungsleitungen bilden verkoppelte Signalleitungen auf der Leiterplatte nach. Das Signal vom Ausgangstreiber gelangt über eine der beiden Leitungsnachbildungen an einen Abschlusswiderstand. Dieser Abschluss verhindert weitestgehend Reflexionen, damit man davon ausgehen kann, dass das anregende Signal die Übertragungsleitung nur einmal durchläuft. Ebenso ist die zweite Übertragungsleitung, die der Störsekte entspricht, an beiden Seiten abgeschlossen. Auch hier ist dadurch gewährleistet, dass ein durch Übersprechen entstehendes Signal vollständig im Widerstand absorbiert und nicht reflektiert wird.

In Abbildung 26 ist das Signal wiedergegeben, das an Abschlusswiderstand R3 durch Forward - Crosstalk entsteht. In grau ist das Ausgangssignal vom Treiber – IC hinterlegt. Man erkennt, dass die Störung übereinstimmend mit der Signallaufzeit zeitversetzt eintrifft. Des Weiteren besteht das Signal aus einem kurzen Nadelimpuls mit einer Breite, die der Anstiegszeit des ursprünglichen Signals entspricht.¹⁹ Die Amplitude ist bei dieser Anordnung mit etwa 7 mV_{PP} eher gering.

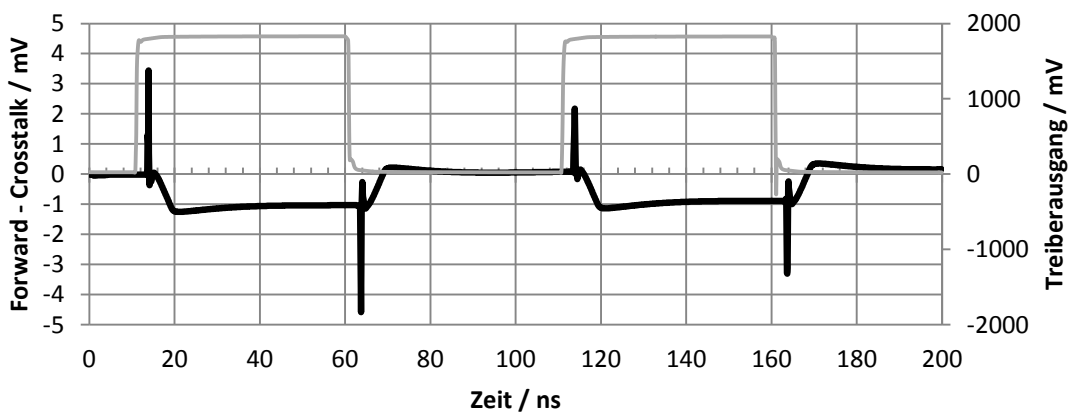


Abbildung 26: Forward - Crosstalk, Quelle: Eigene Darstellung

¹⁹ Vgl. Johnson/Graham (1993), S. 207.

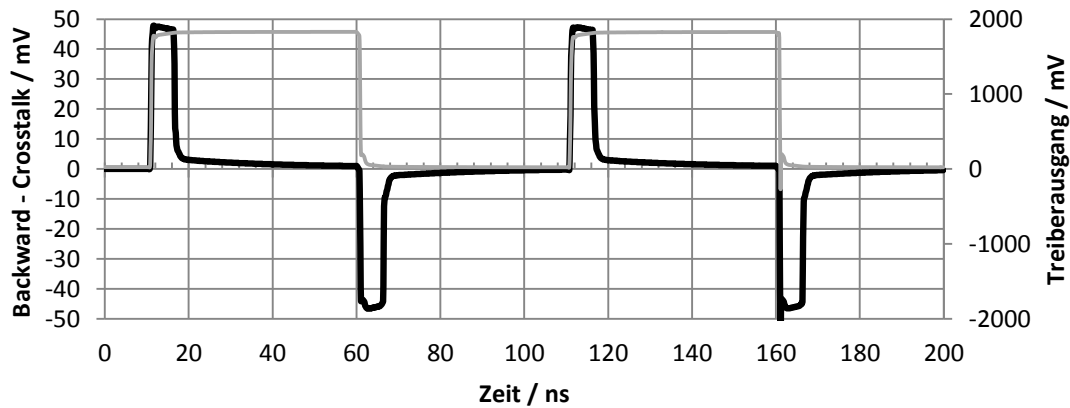


Abbildung 27: Backward - Crosstalk, Quelle: Eigene Darstellung

In Abbildung 27 ist die Störung, die durch Backward – Crosstalk entsteht, dargestellt. Sie gleicht Rechteckimpulsen, deren steigende Flanke gleichzeitig mit dem Treibersignal auftritt. Die Amplitude ist mit etwa 90 mV_{PP} bedeutend größer als bei Forward – Crosstalk. Die Pulsbreite entspricht der doppelten Signallaufzeit der Übertragungsleitung.

4.4.2. Auswirkung des Leiterabstandes auf die Amplitude des Übersprechens

Nachdem im vorigen Abschnitt die grundsätzliche Amplitudenform, die bei Übersprechen entsteht untersucht wurde, soll dieser Teil der Arbeit die Amplitudenhöhe der zu erwarteten Störung simulieren. Um beim verwendeten Lagenaufbau bestimmen zu können, wie nah zueinander Signalleiter parallel geführt werden dürfen, ohne mit Problemen durch Übersprechen rechnen zu müssen, wurde die Auswirkung von Übersprechen bei unterschiedlichen Leiteranordnungen simuliert. Dabei wurde die Auswirkung der Einflussgrößen Leiterabstand und Länge der parallel geführten Leitungen untersucht.

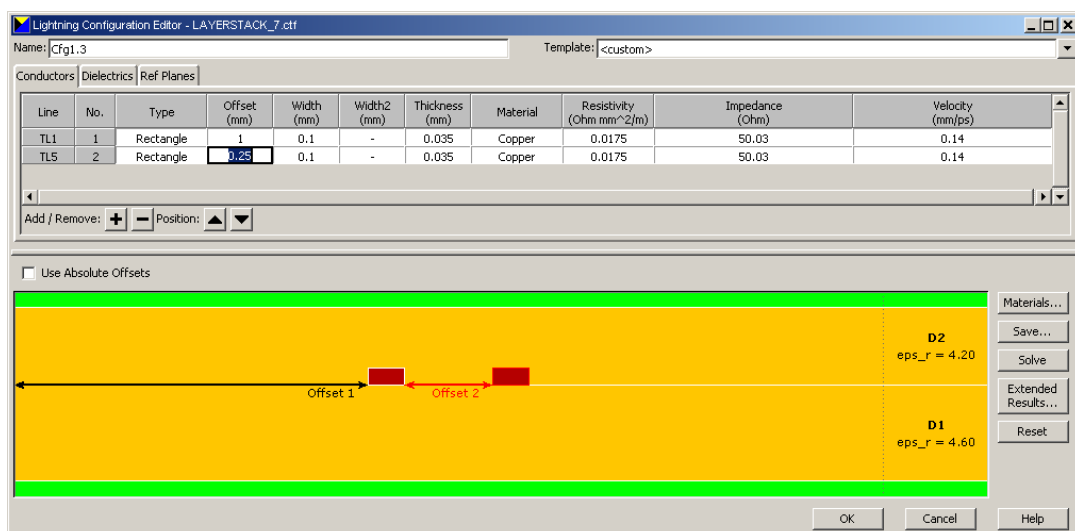


Abbildung 28: Konfiguration der Leitungen im Lightning Configuration Editor, Quelle: Eigene Darstellung

In Abbildung 28 ist die Eingabemaske des Lightning Configuration Editors dargestellt, mit dessen Hilfe die charakteristischen Eigenschaften von Leiterstrukturen bestimmt werden können. Abgebildet sind zwei Signalleiter mit einer Leiterbreite von je 0,1 mm. Der Abstand der beiden Leiter zueinander kann durch die Eingabe eines Offset - Wertes eingegeben werden. Die Software ermittelt die Werte der kapazitiven

und induktiven Kopplung der Strukturen zueinander und kann dadurch die Übersprecheigenschaften simulieren.

Es wurde eine parallel geführte Leiterlänge von 400 mm angenommen und dabei der Abstand zwischen den Signalleitern variiert. Die entstehende Amplitude durch Übersprechen wurde im Simulationstool ausgelesen und in Bezug auf den Leiterabstand in einer Tabelle zusammengefasst. Abbildung 29 zeigt das resultierende Diagramm.

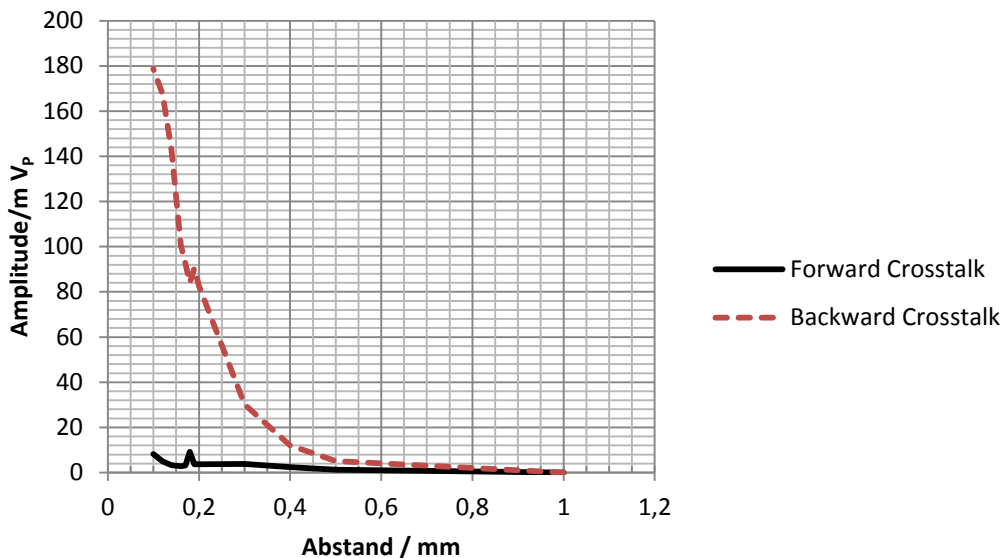


Abbildung 29: Übersprechen in Abhängigkeit der Leiterseparation, Quelle: Eigene Darstellung

Mit abnehmendem Leiterabstand, nehmen Forward – als auch Backward – Crosstalk, wie zu erwarten, zu. Dabei spielt Forward – Crosstalk betragsmäßig eine untergeordnete Rolle. Interessant ist die Diskontinuität bei etwa 0,18 mm. Bei näherer Untersuchung wechselt die Forward – Crosstalk - Amplitude genau bei diesem Wert ihr Vorzeichen. Dies lässt darauf schließen, dass in diesem Bereich die dominierende Kopplungsart zwischen induktiv und kapazitiv wechselt.

4.4.3. Auswirkung der Länge der parallel geführten Leitungen auf die Einkopplung

Des Weiteren ist die Auswirkung der Länge, bei der Übersprechen zwischen den Leitern stattfindet, auf die Störampplitude von Interesse. Dadurch kann abgeschätzt werden, inwieweit kritische Signale mit minimalem Abstand auf der Leiterplatte parallel geführt werden können, ohne mit Problemen rechnen zu müssen.

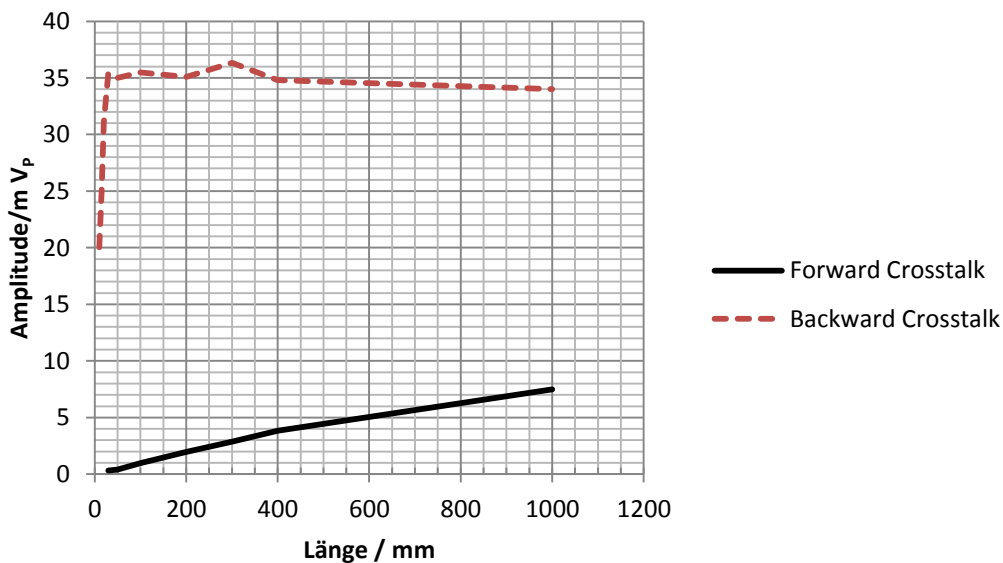


Abbildung 30: Übersprechen in Abhängigkeit der Leiterlänge, Quelle: Eigene Darstellung

Zur Simulation wurde wiederum die Schaltung aus Abbildung 25 verwendet. Der durch Variieren der Länge mit nachfolgendem Simulieren entstehende Amplitudengang ist in Abbildung 30 eingezeichnet. Aus der Grafik kann entnommen werden, dass die Amplitude von Forward - Crosstalk von Null beginnend, linear mit der Länge der beiden Leiter zunimmt.

$$t_p = \frac{l}{v_p} \quad 4.1$$

$v_p / \frac{m}{s}$	Ausbreitungsgeschwindigkeit mit v_p für <i>propagation</i>
t_p / s	Signallaufzeit
l / m	Leiterbahnlänge

Anders verhält es sich beim Backward - Crosstalk. Hier steigt die Störspannung bis die Leiterlänge 25 mm erreicht, und bleibt dann nahezu konstant. Die Theorie besagt, dass hier die maximale Amplitude erreicht wird, wenn die Signallaufzeit der Leiterbahn größer ist als die halbe Anstiegszeit des Signals²⁰.

Mit Hilfe des Simulationsprogrammes kann bei der verwendeten Konfiguration, wie in Abbildung 28 ersichtlich, eine Ausbreitungsgeschwindigkeit des Signals auf der Leitung von 0,14 mm / ps ermittelt werden. Durch Einsetzen der Ausbreitungsgeschwindigkeit und Leiterbahnlänge in Formel (4.1) kann gezeigt werden, dass die 25 mm Leitungslänge einer Signallaufzeit von 179 ps entsprechen. Wird die Ungenauigkeit beim Ablesen der Leiterlänge aus dem Diagramm berücksichtigt, kann angenommen werden, dass dieser Wert etwa im Bereich der halben Anstiegszeit von 400 ps liegt, und somit mit der vorigen Überlegung übereinstimmt.

4.4.4. Tolerierbare Störampplitude durch Übersprechen

Um die tolerierbare Störampplitude festzulegen, sind in Abbildung 31 die minimal und maximal benötigten Spannungswerte der gängigen Logikfamilien dargestellt, die einen gültigen Logikpegel hervorrufen.

²⁰ Vgl. Johnson/Graham (1993), S. 211.

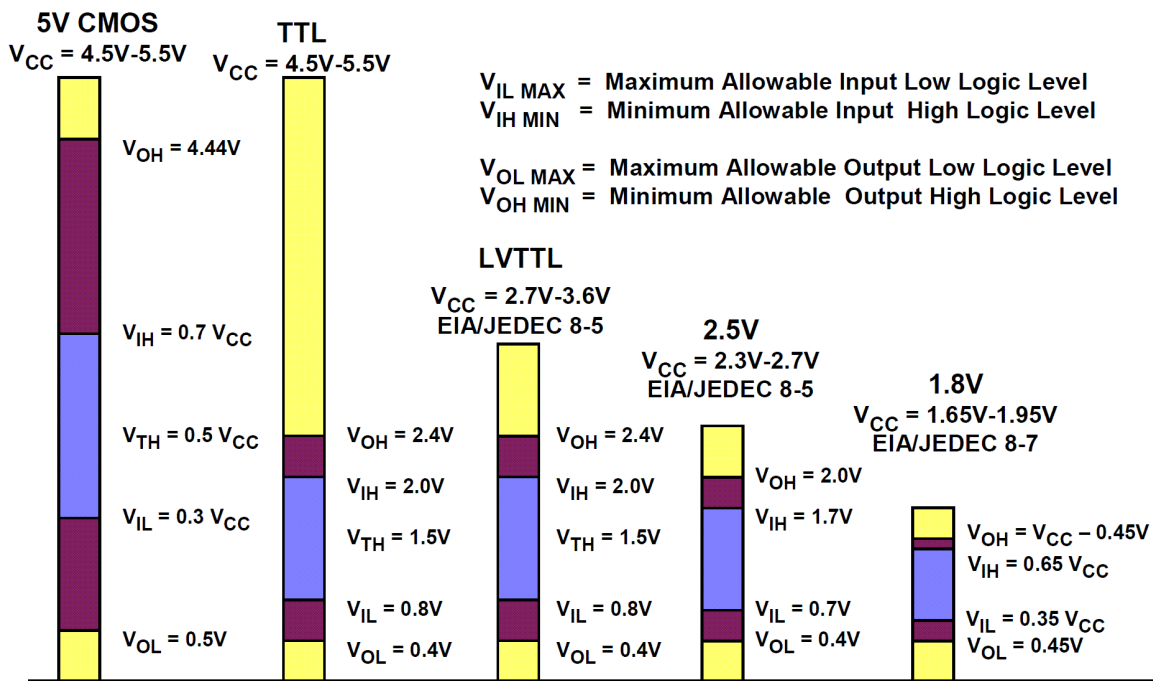


Abbildung 31: Logikpegel, Quelle: Analog Devices (2009), Online-Quelle [12.1.2013], S. 3. (leicht modifiziert)

Für Eingänge sind die Werte V_{IL} und V_{IH} von Bedeutung. Der untere Abschnitt bis V_{IL} zeigt den Eingangsbereich, der als logisch Null interpretiert wird. Bei Verwendung von 3,3 V LVTTTL Logikbausteinen liegt dieser Bereich von 0 V bis 0,8 V. Der mittlere Abschnitt von V_{IL} bis V_{IH} ist weder als logisch Null noch als logisch Eins definiert. Der obere Teil zeigt das Gebiet, bei dem der Wert als logisch Eins interpretiert wird (V_{IH} bis V_{CC} bzw. 2,0 V bis 3,3 V).

Ähnlich verhält es sich bei den eingezeichneten Spannungspegeln für Ausgänge. Wiederum gibt der untere Teil den Bereich an, den ein digitaler Ausgang für logisch Null einhalten muss (0 bis V_{OL} bzw. 0 V bis 0,4 V bei LVTTTL). Gefolgt von einem mittleren Abschnitt, der einen ungültigen Wert hervorruft (V_{OL} bis V_{OH}), und einen oberen Teilbereich für logisch Eins (V_{OH} bis V_{CC} bzw. 2,4 V bis 3,3 V).²¹

Im Folgenden soll der maximale Störabstand bei logisch Null und LVTTTL betrachtet werden. Als Ausgangspegel eines Logikbausteins gilt 0,4 V noch als gültiger Wert. Ebenso ist für den Eingang 0,8 V als erlaubter Wert definiert. Daraus ergibt sich aus der Differenz eine minimal vorhandene Spannungsreserve von 0,4 V, bei der der Logikpegel noch im erlaubten Rahmen liegt. Da Übersprechen nicht die einzige Störursache von Logiksignalen ist, soll nur die Hälfte des Störabstandes, also 0,2 V als maximal erlaubte Störbeeinflussung durch Übersprechen festgelegt werden.

4.4.5. Worst Case

Ziel dieser Untersuchungen zum Thema Übersprechen ist es, Vorgaben zur Gestaltung der Leiterbahnen aufstellen zu können, bei der die Auswirkungen auf Signalintegrität und Abstrahlung als gering eingestuft

²¹ Vgl. Analog Devices (2009), Online-Quelle [12.1.2013], S. 3.

werden können. Dazu sollen zunächst Überlegungen angestellt werden, unter welchen Voraussetzungen die Störampplitude durch Übersprechen auf der Leiterplatte ein Maximum erreicht.

Bis jetzt wurde der Fall betrachtet, bei dem sowohl Störsenke als auch Störquelle aus jeweils einer Leiterbahn besteht. Ein ungünstigerer Zustand tritt ein, wenn die Leiterbahn, auf die die Störampplitude eingekoppelt wird, auf beiden Seiten von störenden Signalleitern umgeben ist.

Ebenso muss davon ausgegangen werden, dass keine der Leitungen mit ihrem Wellenwiderstand abgeschlossen ist. Das hat mehrere Auswirkungen. Einerseits entsteht an einem offenen Leitungsende verglichen mit einem abgeschlossenen Ende die doppelte Amplitude, da sich am Leiterende die Summe von rücklaufendem und vorlaufendem Signal bildet. Des Weiteren treten durch die Reflexionen von Stör- und Nutz – Signal Forward – als auch Backward – Crosstalk an beiden Enden der gestörten Leitung auf.

Aus Abbildung 30 ist ersichtlich, dass die Störung ab einer Leiterlänge von 25 mm nur mehr geringfügig ansteigt, und somit die Mindestlänge für weitere Untersuchungen bekannt ist. Deshalb wird, um den ungünstigsten Fall nachzubilden, die Leiterlänge größer 25 mm, bzw. bei folgenden Szenarien mit 200 mm angenommen.

Als Startpunkt wird angenommen, dass sich gegenüber den vorigen Simulationen die Störampplitude einmal durch die Beeinflussung durch den zweiten störenden Leiter verdoppelt, und ein zweites Mal durch den nicht vorhandenen Leitungsabschluss. Dies bedeutet eine geschätzte Vervielfachung der Störampplitude gegenüber den vorangegangenen Simulationen. In 4.4.4 haben wir eine tolerierbare Spannung von 200 mV festgelegt. Um auf den entsprechenden Leiterabstand zu kommen, kann aus Abbildung 29 der Leiterabstand bei gegebener Amplitude abgelesen werden. Da jedoch in diesem Fall von der ungünstigsten anzunehmenden Situation ausgegangen wird, muss vorerst die Spannung von 200 mV durch Vier geteilt werden und davon der Leiterabstand ermittelt werden. Daraus ergibt sich im Diagramm zu 50 mV ein Abstand von 0,25 mm.

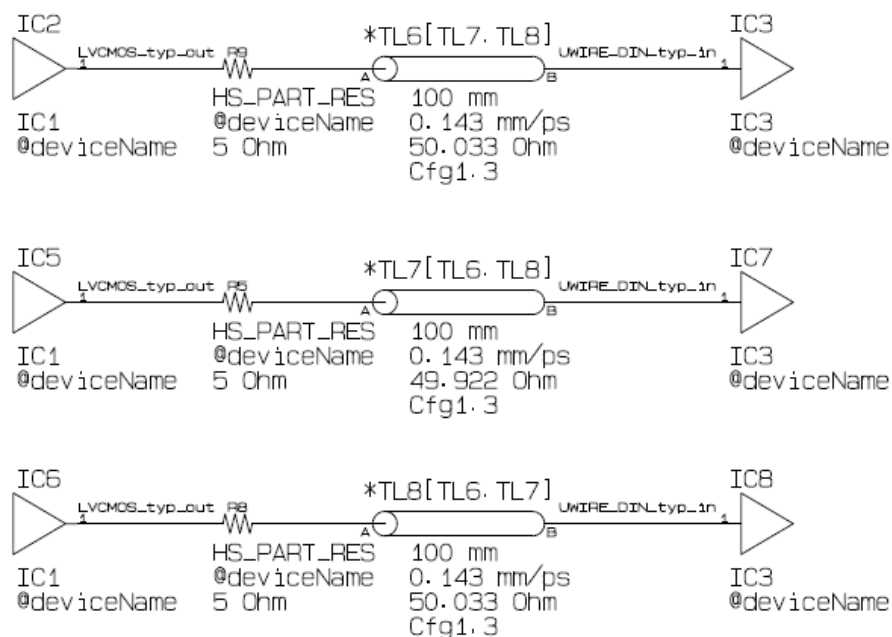


Abbildung 32: Worst - Case Szenario, Quelle: Eigene Darstellung

Um die Ergebnisse der Überlegungen zu validieren, wurde die Anordnung, wie in Abbildung 32 ersichtlich, wiederum simuliert. Dabei konnte eine Störampplitude von 211 mV festgestellt werden.

Als Ergebnis kann festgehalten werden, dass bei einem Leiterabstand von 0,25 mm, die Störampplitude durch Übersprechen ausreichend gering ist.

5. ERGEBNISSE UND AUSBLICK

Das Ziel dieser Arbeit ist ein Highspeed - gerechtes Design einer Leiterplatte, das schon durch den allgemein gehaltenen Titel einen sehr breiten Themenbereich zulässt.

Beim ersten Teil dieser Arbeit, der die Stromversorgung betrifft, konnte vor allem bei der Ausführung von Schaltwandlern eine sinnvolle Möglichkeit zur Auswahl der korrekten Platzierung aufgezeigt werden. Die dort behandelten Punkte können sehr gut in das praktische Layout übergeführt werden.

Beim Unterkapitel „Entkopplung auf Multilayern“ wurde eine Möglichkeit zur Simulation vorgestellt, die eine quantitative Aussage in Form von Impedanzwerten für einen bestimmten Lagenaufbau zulässt. Vor allem dient dies dem Verstehen zum Verhalten von durchgehenden Kupferlagen in Leiterplatten. In Folge dessen, konnte auch gezeigt werden, dass die Mitte der Leiterplatte günstigere Abblockeigenschaften aufweist. Inwieweit sich das auf messbare Ergebnisse niederschlägt, kann durch diese Betrachtung alleine nicht gesagt werden.

Im zweiten Teil wurden ausgewählte Eigenschaften von Signalübertragungsleitungen betrachtet. Der erforderliche Wellenwiderstand ist durch die Schaltung vorgegeben. Um diesen umsetzen zu können, wurde eine Möglichkeit zur Ermittlung des Wellenwiderstandes aufgezeigt. Da beim Erstellen eines Layouts auch ein Lagenaufbau definiert werden muss, und dessen Abmessungen Einfluss auf den Wellenwiderstand haben, benötigt man einen Überblick wie sich einzelne Werte auswirken. Dazu konnten die Auswirkungen einzelner Faktoren übersichtlich in Diagrammen zusammengefasst werden, was es einem sehr erleichtert, Möglichkeiten zur Realisierung des erforderlichen Wellenwiderstandes zu finden.

Das Unterkapitel „Übersprechen“ entstand zunächst aus der pragmatischen Frage, wie dicht nebeneinander Leiterbahnen zu routen seien. Daraus entstanden klare Richtlinien, die im Layout umgesetzt werden konnten.

Ein wichtiger Punkt, der nicht in dieser Arbeit behandelt wurde sind die unterschiedlichen Terminierungsmöglichkeiten von Signalleitungen, da die Auswahl schon durch den Schaltplandesigner vorgegeben war.

Des Weiteren wurde das Thema Differential – Pairs nicht behandelt. Für das praktische Layout wurde die Impedanz mithilfe der Finiten - Elemente - Methode ermittelt. Der Abstand zu anderen Leitungen wurde allerdings durch Erfahrungswerte festgelegt. Deshalb ist ein Thema für weiterführende Arbeiten das Übersprechverhalten von Differential – Pairs und die Auswirkung von Längenunterschieden der Einzelleiter eines Paares.

Die während dieser Arbeit entstandene Leiterplatte wird, fertig bestückt und im fertigen Gerät verbaut, einer EM - Abstrahlungsmessung in einer Absorberhalle unterzogen werden. Zum Zeitpunkt der Fertigstellung dieser Arbeit, war die Leiterplatte gerade in der Fertigung zur Bestückung der Bauteile. Deshalb sind noch keine Aussagen über die EMV – Eigenschaften der fertigen Baugruppe möglich.

LITERATURVERZEICHNIS

Gedruckte Werke (5)

Franz, Joachim (2011): *EMV: Störungssicherer Aufbau elektronischer Schaltungen*, 4. Auflage, Vieweg+Teubner Verlag, Wiesbaden

Gonschorek, Karl-Heinz (2005): *EMV für Geräteentwickler und Systemintegratoren*, 1. Auflage, Springer-Verlag, Berlin Heidelberg

Johnson, Howard; Graham, Martin (1993): *High-Speed Digital Design: A Handbook of Black Magic*, 1. Auflage, Prentice Hall PTR, New Jersey

Johnson, Howard; Graham, Martin (2003): *High-Speed Signal Propagation: Advanced Black Magic*, 1. Auflage, Prentice Hall PTR, New Jersey

Montrose, Mark I. (2000): *Printed circuit board design techniques for EMC compliance: a handbook for designers*, 2. Auflage, The Institute of Electrical and Electronics Engineers, Inc., New York

Online-Quellen (9)

Analog Devices (2009): *Low Voltage Logic Interfacing*

<http://www.analog.com/static/imported-files/tutorials/MT-098.pdf> [Stand: 12.1.2013]

Balasubramaniam, Shankar (2002): *Texas Instruments: Advanced High-Speed CMOS (AHC) Logic Family*

<http://www.ti.com/lit/an/scaa034c/scaa034c.pdf> [Stand: 8.11.2012]

Barrow, Jeff (2007): *Analog Devices*

http://www.analog.com/library/analogdialogue/archives/41-06/ground_bounce.pdf [Stand: 9.11.2012]

Häusermann GmbH (2012): *Technologieführer*

<http://www.haeusermann.at/3,support/8,Download/22,Technologiefuehrer> [Stand: 19.11.2012]

Norte, David (2011): *The Electromagnetic Compatibility (EMC), Signal And Power Integrity Institute*

http://www.the-signal-and-power-integrity-institute.com/files/Crosstalk_Fundamentals_Signal_Integrity_Paper2.pdf [Stand: 14.12.2012]

Texas Instruments (2012): *TPS54140 Datenblatt*

<http://www.ti.com/lit/ds/symlink/tps54140.pdf> [Stand: 12.11.2012]

Texas Instruments (2012): *LMK03806 IBIS-Simulationsmodell*

<http://www.ti.com/product/lmk03806> [Stand: 16.12.2012]

Texas Instruments (2012): *LMK03806 Datenblatt*

<http://www.ti.com/product/lmk03806> [Stand: 14.12.2012]

Texas Instruments (2005): *High-Speed DSP System Design*

<http://www.ti.com/lit/ug/spru889/spru889.pdf> [Stand: 17.1.2013]

ABBILDUNGSVERZEICHNIS

Abbildung 1: Grafischer Projektrahmen, Quelle: Eigene Darstellung	2
Abbildung 2: Lagenaufbau, Quelle: Häusermann GmbH (2012), Online-Quelle [19.11.2012]	3
Abbildung 3: Ersatzschaltbild einer aktiven Last mit möglichem Spannungs - u. Stromverlauf, Quelle: Franz (2011), S. 72.....	4
Abbildung 4: Ersatzschaltbild für die Abblockung Quelle: Franz (2011), S. 72.....	5
Abbildung 5: Ausgangsstufe einer CMOS Schaltung Quelle: Balasubramaniam (2002), Online-Quelle [8.11.2012], S. 9.	6
Abbildung 6: Abblockung Querströme, Quelle: Franz (2011), S. 81.....	6
Abbildung 7: Stromschleifen im Abwärtsschaltwandler, Quelle: Barrow (2007), Online-Quelle [9.11.2012], S. 2.	7
Abbildung 8: Simulierte Ströme in einem Abwärtsschaltwandler, Quelle: Eigene Darstellung.....	8
Abbildung 9: Kritische Schleife bei TPS5414 Schaltregler, Quelle: Eigene Darstellung	9
Abbildung 10: Kreisförmig Leiterschleife Quelle: Franz (2011), S. 24.	10
Abbildung 11: Kritische Schleife, Quelle: Eigene Darstellung.....	10
Abbildung 12: Lage der Modenextrema, Quelle: Franz (2011), S. 112.	12
Abbildung 13: Ausschnitt aus der Nachbildung der Versorgungslagen in LTSpice, Quelle: Eigene Darstellung	13
Abbildung 14: Impedanzverlauf der Versorgungsplanes; Substratdicke als Parameter, Quelle: Eigene Darstellung	14
Abbildung 15: Impedanzverlauf der Versorgungsplanes; Position als Parameter, Quelle: Eigene Darstellung	15
Abbildung 16: Microstrip Topology, Quelle: Texas Instruments (2005), Online-Quelle [17.1.2013], S. 55.	16
Abbildung 17: Stripline Topology, Quelle: Texas Instruments (2005), Online-Quelle [17.1.2013], S. 55. .	16
Abbildung 18: Eingabemaske Lightning Configuration Editor, Quelle: Eigene Darstellung	17
Abbildung 19: Einfluss der Leiterbreite und Kupferstärke auf den Wellenwiderstand, Quelle: Eigene Darstellung	18
Abbildung 20: Einfluss der Dicke des Dielektrikums auf den Wellenwiderstand, Quelle: Eigene Darstellung	19
Abbildung 21: Einfluss der relativen Dielektrizitätszahl auf den Wellenwiderstand, Quelle: Eigene Darstellung	19
Abbildung 22: Kapazitive und induktive Kopplung, Quelle: Norte (2011), Online-Quelle [14.12.2012]	20

Abbildung 23: Koppeleffekte, Quelle: In Anlehnung an Johnson/Graham (1993), S. 207.....	20
Abbildung 24: Ausschnitt Datenblatt Taktgenerator, Quelle: Texas Instruments (2012), Online-Quelle [14.12.2012].....	21
Abbildung 25: Schaltung zur Untersuchung von Übersprechen, Quelle: Eigene Darstellung	22
Abbildung 26: Forward - Crosstalk, Quelle: Eigene Darstellung	22
Abbildung 27: Backward - Crosstalk, Quelle: Eigene Darstellung	23
Abbildung 28: Konfiguration der Leitungen im Lightning Configuration Editor, Quelle: Eigene Darstellung	23
Abbildung 29: Übersprechen in Abhängigkeit der Leiterseparation, Quelle: Eigene Darstellung.....	24
Abbildung 30: Übersprechen in Abhängigkeit der Leiterlänge, Quelle: Eigene Darstellung	25
Abbildung 31: Logikpegel, Quelle: Analog Devices (2009), Online-Quelle [12.1.2013], S. 3. (leicht modifiziert)	26
Abbildung 32: Worst - Case Szenario, Quelle: Eigene Darstellung	27